

IDS

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-026642

(43) Date of publication of application : 29.01.1999

(51) Int.Cl.

H01L 23/28

H01L 21/56

H01L 21/60

H01L 23/12

(21) Application number : 09-181132

(71) Applicant : FUJITSU LTD

(22) Date of filing : 07.07.1997

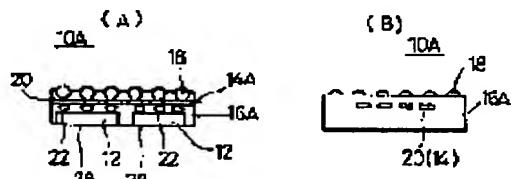
(72) Inventor : KAWAHARA TOSHISANE
OOSAWA MITSUHIRO
MORIOKA SOUCHI
NIIMA YASUHIRO
ONODERA MASANORI
FUKAZAWA NORIO
KASAI JUNICHI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF AND MOUNTING STRUCTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To raise the degree of terminal layout freedom and reliability of a semiconductor device having a chip size package structure, manufacture thereof and mounting structure thereof.

SOLUTION: A semiconductor device comprises one or more semiconductor elements 12, sealing resin 16A sealing the elements 12, electrode plates 14A which are disposed in the resin 16A, with leaving their ends exposed at the side face of the resin 16A to form side terminals 20 and electrically connected to the elements 12, and protrudent terminals 18 disposed on the plates 14A but exposed at the bottom face of the resin 16A. The plates 14A radiate the heat produced from the elements 12 and reinforce the resin 16A.



LEGAL STATUS

[Date of request for examination] 21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11-26642

(43) 公開日 平成 11 年 (1999) 1 月 29 日

(51) Int. Cl.

H01L 23/28
21/56
21/60
23/12

識別記号

311

序内整理番号

F I

H01L 23/28
21/56
21/60
23/12

技術表示箇所
A
R
S
L

審査請求 未請求 請求項の数 30 O L (全 36 頁)

(21) 出願番号

特願平 9-181132

(22) 出願日

平成 9 年 (1997) 7 月 7 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 川原 登志実

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(72) 発明者 大澤 満洋

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

最終頁に続く

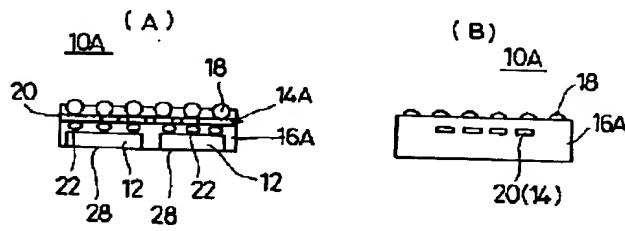
(54) 【発明の名称】半導体装置及びその製造方法及びその実装構造

(57) 【要約】

【課題】本発明はチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実装構造に関し、半導体装置の端子レイアウトの自由度を高めると共に信頼性の向上を図ることを課題とする。

【解決手段】単数または複数の半導体素子 12 と、この半導体素子 12 を封止する封止樹脂 16A と、封止樹脂 16A 内に配設されて半導体素子 12 と電気的に接続する共にその端部が封止樹脂 16A の側面に露出して側部端子 20 を形成する電極板 14A と、この電極板 14A に配設され封止樹脂 16A の底面から露出する突出端子 18 とを設ける。この電極板 14A は、半導体素子 12 で発生する熱を放熱すると共に、封止樹脂 16A の補強材として機能する。

本発明の第 1 実施例である半導体装置を説明するための図



【特許請求の範囲】

【請求項1】 単数または複数の半導体素子と、前記半導体素子の一部或いは全部を封止する封止樹脂と、前記封止樹脂内に配設され、前記半導体素子と電気的に接続する共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記半導体素子と前記電極板とをフリップチップ接合したことを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成したことを特徴とする半導体装置。

【請求項4】 請求項1または2記載の半導体装置において、前記電極板に突出形成された突出端子を設けると共に、前記突出端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構成としたことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記突出端子は、前記電極板を塑性加工することにより前記電極板に一体的に形成したことを特徴とする半導体装置。

【請求項6】 請求項4記載の半導体装置において、前記突出端子は、前記電極板に配設した突起電極であることを特徴とする半導体装置。

【請求項7】 請求項1乃至6のいずれかに記載の半導体装置において、前記半導体素子の一部を前記封止樹脂より露出させた構成としたことを特徴とする半導体装置。

【請求項8】 請求項1乃至7のいずれかに記載の半導体装置において、前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設したことを特徴とする半導体装置。

【請求項9】 金属基板に対しパターン成形処理を行なうことにより電極板を形成する電極板形成工程と、前記電極板に半導体素子を搭載し電気的に接続するチップ搭載工程と、前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、前記電極板形成工程で実施するパターン成形処理は、工

ツチング法またはプレス加工法を用いて行なうことを特徴とする半導体装置の製造方法。

【請求項11】 請求項9または10記載の半導体装置の製造方法において、前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とする半導体装置の製造方法。

【請求項12】 請求項9または11のいずれかに記載の半導体装置の製造方法において、10 前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とする半導体装置の製造方法。

【請求項13】 請求項9または12のいずれかに記載の半導体装置の製造方法において、前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、20 前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とする半導体装置の製造方法。

【請求項14】 請求項1乃至8のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記半導体装置が装着される装着部と、前記封止樹脂の側面に露出した外部接続端子と接続するよう設けられたリード部とを有するソケットを用い、前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とする半導体装置の実装構造。

【請求項15】 請求項4乃至6のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記外部端子を形成する前記突出端子にバンプを配設し、該バンプを介して前記半導体装置を前記実装基板に接合させることを特徴とする半導体装置の実装構造。

【請求項16】 請求項3乃至8のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記外部接続端子の形成位置に対応した位置に配設された可撓可能な接続ピンと、前記接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴とする半導体装置の実装構造。

【請求項17】 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起

電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタボーザと、

接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタボーザとの間に介装され、前記半導体装置本体を前記インタボーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタボーザとを電気的に接続する異方性導電膜と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とする半導体装置。

【請求項 18】 請求項 17 記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタボーザに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とする半導体装置。

【請求項 19】 請求項 17 記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタボーザに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とする半導体装置。

【請求項 20】 請求項 17 乃至 19 のいずれかに記載の半導体装置において、

前記インタボーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とする半導体装置。

【請求項 21】 請求項 17 乃至 20 のいずれかに記載の半導体装置において、

前記インタボーザとして TAB (Tape Automated Bonding) テープを用いたことを特徴とする半導体装置。

【請求項 22】 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタボーザを形成するインタボーザ形成工程と、

前記半導体装置本体と前記インタボーザとを接着性及び押圧方向に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタボーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタボーザとを電気的に接続する接合工程と、

前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続

されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 23】 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタボーザと、

前記半導体装置本体と前記インタボーザとの間に介装され、前記半導体装置本体を前記インタボーザに接着固定する接着剤と、

前記半導体装置本体と前記インタボーザとを電気的に接続する導電性部材と、

前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とする半導体装置。

20 【請求項 24】 請求項 23 記載の半導体装置において、

前記導電性部材は、導電性ペーストであることを特徴とする半導体装置。

【請求項 25】 請求項 23 記載の半導体装置において、

前記導電性部材は、スタッドバンプであることを特徴とする半導体装置。

【請求項 26】 請求項 23 記載の半導体装置において、

30 前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードであることを特徴とする半導体装置。

【請求項 27】 請求項 26 記載の半導体装置において、

少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止する構成としたことを特徴とする半導体装置。

【請求項 28】 請求項 23 記載の半導体装置において、

前記導電性部材は、

前記突起電極の形成位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、該接続ピンを位置決めする位置決め部材とにより構成されることを特徴とする半導体装置。

【請求項 29】 請求項 28 記載の半導体装置において、

前記位置決め部材は、可撓性部材により形成されていることを特徴とする半導体装置。

【請求項30】 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーラを形成するインタポーラ形成工程と、

前記半導体装置本体または前記インタポーラの少なくとも一方に導電性部材を配設する導電性部材配設工程と、前記半導体装置本体と前記インタポーラとを接着剤を介して接合すると共に、前記導電性部材により前記半導体装置本体と前記インタポーラとを電気的に接続する接合工程と、

前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法及びその実装構造に係り、特にチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実装構造に関する。近年、電子機器及び装置の小型化の要求に伴い、半導体装置の小型化、高密度化が図られている。このため、半導体装置の形状を半導体素子（チップ）に極力近づけることにより小型化を図った、いわゆるチップサイズパッケージ構造の半導体装置が提案されている。

【0002】 また、高密度化により多ピン化し、かつ半導体装置が小型化すると、外部接続端子のピッチが狭くなる。このため、省スペースに比較的多数の外部接続端子を形成しうる構造として、外部接続端子として突起電極（パンプ）を用いることが行われている。

【0003】

【従来の技術】 図61（A）は、従来のペアチップ（フリップチップ）実装に用いられる半導体装置の一例を示している。同図に示す半導体装置1は、大略すると半導体素子2（半導体チップ）、及び多数の突起電極4（パンプ）等とにより構成されている。

【0004】 半導体素子2の下面には外部接続端子となる突起電極4が、例えばマトリックス状に多数形成されている。この突起電極4は例えばハンダボールにより構成されており、半導体素子2の下面に形成された電極パッドに夫々形成されている。また、上記した半導体装置1を実装基板5（例えば、プリント配線基板）に実装するには、図61（B）に示されるように、先ず半導体装置1に形成されている突起電極4を実装基板5に形成されている電極5aに接合する。続いて、図61（C）に

示されるように、半導体素子2と実装基板5との間に、いわゆるアンダーフィルレジン6（梨地で示す）を装填する。

【0005】 アンダーフィルレジン6は、比較的流動性を有する樹脂を半導体素子2と実装基板5との間に形成された間隙7（突起電極4の高さと略等しい）に充填することにより形成される。このアンダーフィルレジン6は、熱応力印加時における突起電極4と電極5aとの間における剥離発生を防止すると共に、半導体装置1と実装基板5との接合強度を向上させる機能を奏している。

【0006】

【発明が解決しようとする課題】 ところで上記した半導体装置1は、半導体素子2が外部に露出した状態で実装基板5に配設されるため強度的に弱く、よって信頼性が低下してしまうという問題点があった。また、突起電極4は半導体素子2の下面に形成された電極パッドに直接形成された構成であったため、電極パッドのレイアウトがそのまま突起電極4の端子レイアウトとなってしまう。即ち、上記した半導体装置1では、その内部において配線の引回しができないため、外部接続端子となる突起電極4のレイアウトの自由度が低いという問題点があった。

【0007】 本発明は上記の点に鑑みてなされたものであり、半導体装置の端子レイアウトの自由度を高めると共に信頼性の向上を図りうる半導体装置及びその製造方法及びその実装構造を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記の課題は、下記の手段を講じることにより解決することができる。請求項1記載の発明に係る半導体装置では、単数または複数の半導体素子と、前記半導体素子の一部或いは全部を封止する封止樹脂と、前記封止樹脂内に配設され、前記半導体素子と電気的に接続する共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とするものである。

【0009】 また、請求項2記載の発明では、前記請求項1記載の半導体装置において、前記半導体素子と前記電極板とをフリップチップ接合したことを特徴とするものである。また、請求項3記載の発明では、前記請求項1または2記載の半導体装置において、前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成したことを特徴とするものである。

【0010】 また、請求項4記載の発明では、前記請求項1または2記載の半導体装置において、前記電極板に突出形成された突出端子を設けると共に、前記突出端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構成としたことを特徴とするものである。

【0011】 また、請求項5記載の発明では、前記請求項4記載の半導体装置において、前記突出端子は、前記

電極板を塑性加工することにより前記電極板に一体的に形成したことと特徴とするものである。また、請求項 6 記載の発明では、前記請求項 4 記載の半導体装置において、前記突出端子は、前記電極板に配設した突起電極であることを特徴とするものである。

【 0 0 1 2 】 また、請求項 7 記載の発明では、前記請求項 1 乃至 6 のいずれかに記載の半導体装置において、前記半導体素子の一部を前記封止樹脂より露出させた構成としたことを特徴とするものである。また、請求項 8 記載の発明では、前記請求項 1 乃至 7 のいずれかに記載の半導体装置において、前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設したことを特徴とするものである。

【 0 0 1 3 】 また、請求項 9 記載の発明に係る半導体装置の製造方法では、金属基板に対しパターン成形処理を行なうことにより電極板を形成する電極板形成工程と、前記電極板に半導体素子を搭載し電気的に接続するチップ搭載工程と、前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とするものである。

【 0 0 1 4 】 また、請求項 10 記載の発明では、前記請求項 9 記載の半導体装置の製造方法において、前記電極板形成工程で実施するパターン成形処理は、エッチング法またはプレス加工法を用いて行なうことを特徴とするものである。また、請求項 11 記載の発明では、前記請求項 9 または 10 記載の半導体装置の製造方法において、前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とするものである。

【 0 0 1 5 】 また、請求項 12 記載の発明では、前記請求項 9 または 11 のいずれかに記載の半導体装置の製造方法において、前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とするものである。

【 0 0 1 6 】 また、請求項 13 記載の発明では、前記請求項 9 または 12 のいずれかに記載の半導体装置の製造方法において、前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とするものである。

【 0 0 1 7 】 また、請求項 14 記載の発明では、前記請求項 1 乃至 8 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記半導体装置が装着される装着部と、前記封止樹脂の側面に露出した外部接続端子と接続するよう設けられたリード部と

を有するソケットを用い、前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とするものである。

【 0 0 1 8 】 また、請求項 15 記載の発明では、前記請求項 4 乃至 6 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記外部端子を形成する前記突出端子にパンプを配設し、このパンプを介して前記半導体装置を前記実装基板に接合させることを特徴とするものである。

【 0 0 1 9 】 また、請求項 16 記載の発明では、前記請求項 3 乃至 8 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記外部接続端子の形成位置に対応した位置に配設された可撓可能な接続ピンと、この接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴とするものである。

【 0 0 2 0 】 また、請求項 17 記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーラと、接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーラとの間に介装され、前記半導体装置本体を前記インタポーラに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーラとを電気的に接続する異方性導電膜と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。

【 0 0 2 1 】 また、請求項 18 記載の発明では、前記請求項 17 記載の半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーラに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とするものである。

【 0 0 2 2 】 また、請求項 19 記載の発明では、前記請求項 17 記載の半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーラに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とするものである。

【 0 0 2 3 】 また、請求項 20 記載の発明では、前記請求項 17 乃至 19 のいずれかに記載の半導体装置において、前記インタポーラ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とするものである。また、請求項 21 記載の発明では、前記請求

9
項 17 乃至 20 のいずれかに記載の半導体装置では、前記インタポーラとして TAB (Tape Automated Bonding) テープを用いたことを特徴とするものである。

【0024】また、請求項 22 記載の発明に係る半導体装置の製造方法では、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、この半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーラを形成するインタポーラ形成工程と、前記半導体装置本体と前記インタポーラとを接着性及び押圧方向に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーラに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーラとを電気的に接続する接合工程と、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とするものである。

【0025】また、請求項 23 記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーラと、前記半導体装置本体と前記インタポーラとの間に介装され、前記半導体装置本体を前記インタポーラに接着固定する接着剤と、前記半導体装置本体と前記インタポーラとを電気的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。

【0026】また、請求項 24 記載の発明では、前記請求項 23 記載の半導体装置において、前記導電性部材は、導電性ペーストであることを特徴とするものである。また、請求項 25 記載の発明では、前記請求項 23 記載の半導体装置において、前記導電性部材は、スタッドバンプであることを特徴とするものである。

【0027】また、請求項 26 記載の発明では、前記請求項 23 記載の半導体装置において、前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードであることを特徴とするものである。

【0028】また、請求項 27 記載の発明では、前記請求項 26 記載の半導体装置において、少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止

する構成としたことを特徴とするものである。また、請求項 28 記載の発明では、前記請求項 23 記載の半導体装置において、前記導電性部材は、前記突起電極の形成位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、この接続ピンを位置決めする位置決め部材とにより構成されることを特徴とするものである。

【0029】また、請求項 29 記載の発明では、前記請求項 28 記載の半導体装置において、前記位置決め部材は、可撓性部材により形成されていることを特徴とするものである。更に、請求項 30 記載の発明に係る半導体装置の製造方法では、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、この半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーラを形成するインタポーラ形成工程と、前記半導体装置本体または前記インタポーラの少なくとも一方に導電性部材を配設する導電性部材配設工程と、前記半導体装置本体と前記インタポーラとを接着剤を介して接合すると共に、前記導電性部材により前記半導体装置本体と前記インタポーラとを電気的に接続する接合工程と、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とするものである。

【0030】上記した各手段は、次のように作用する。請求項 1 記載の発明に係る半導体装置によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を奏するため、半導体素子の保護をより確実に行なうことができ、よって半導体装置の信頼性を向上することができる。

【0031】また、電極板は半導体素子と外部接続端との間に位置するものであるため、半導体素子に直接外部接続端を接続する構成と異なり、電極板により半導体素子と外部接続端との間で配線の引回しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。また、電極板は導電性金属よりなり、封止樹脂よりも熱伝導性が良好であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効率よく放熱することができる。

【0032】更に、電極板の外部接続端子は封止樹脂の側面に露出した構成とされているため、半導体装置を実装基板に実装した後においてもこの外部接続端子を用いて半導体素子の動作試験を行なうことが可能となる。また、請求項 2 及び請求項 11 記載の発明によれば、半導

体素子と電極板とをフリップチップ接合したことにより、小スペース内において確実に半導体素子と電極板とを接合することができ、半導体装置の小型化を図ることができる。また、接合部における配線長が短いためインピーダンスを低減できると共に、多ピン化にも対応することができる。

【0033】また、請求項3記載の発明によれば、電極板を封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成したことにより、側面ばかりでなく底面においても実装を行なうことが可能となる。よって、半導体装置を実装する際、実装構造の自由度を向上させることができ、よって例えば小スペース化を図りうる実装形態であるフェイスダウンボンディングにも対応することができる。

【0034】また、請求項4記載の発明によれば、電極板に突出形成された突出端子を封止樹脂の底面に露出させて外部接続端子を形成することにより、実装時に確実に外部接続端子を実装基板に接続することができる。また、電極板の外部接続端子以外の部分は封止樹脂に埋設された構成となるため、隣接する外部端子はこの封止樹脂により絶縁される。このため、実装時にはなんだにより隣接する外部接続端子間で短絡が発生するようなことはなく、実装時における信頼性を向上させることができる。

【0035】また、請求項5記載の発明によれば、突出端子を電極板を塑性加工することにより電極板に一体的に形成したことにより、突出端子を別部材により形成する構成に比べて部品点数の削減を図ることができると共に容易に形成することができる。また、請求項6記載の発明によれば、突出端子を電極板に配設した突起電極としたことにより、半導体装置をBGA (Ball Grid Array) と同様に取り扱うことができ、実装性を向上させることができる。

【0036】また、請求項7及び請求項8記載の発明によれば、半導体素子の一部を封止樹脂より露出させた構成としたことにより、或いは封止樹脂の半導体素子に近接する位置に放熱部材を配設したことにより、半導体素子で発生する熱を効率よく放熱することができる。また、請求項9記載の発明によれば、電極板形成工程で金属基板に対しパターン成形処理を行なうことにより電極板を形成し、続くチップ搭載工程で電極板に半導体素子を搭載し電気的に接続する。この際、パターン成形処理において任意の配線パターンを選定できるため、電極板により配線の引回しを行なうことが可能となり、これにより電極板に形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

【0037】また、封止樹脂形成工程で封止樹脂を形成することにより、半導体素子及び電極板は封止樹脂に封止される。よって、半導体素子及び電極板は封止樹脂により保護され、よって半導体装置の信頼性を向上させる

ことができる。統いて実施される切断工程により、個々の半導体装置の境界位置で封止樹脂及び電極板を切断することにより個々の半導体装置が形成される。よって、電極板は切断位置に露出し、この露出部分を外部接続端子として用いることができる。

【0038】また、請求項10記載の発明によれば、電極板形成工程で実施するパターン成形処理として、半導体装置のリードフレーム形成法として一般に用いられているエッティング法またはプレス加工法を適用することにより、電極板を形成するのにリードフレーム形成法を利用することが可能となる。よって、設備の増加を伴うことなく、電極板形成工程を実施することができる。

【0039】また、請求項12記載の発明によれば、チップ搭載工程を実施する前に、半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施することにより、チップ搭載工程では放熱部材に位置決めされた状態で半導体素子を電極板に搭載される。よって、チップ搭載工程において、個々の半導体素子の位置決めを行なう必要がなくなり、形状の大きな放熱部材と電極板とを位置決めすればよいため、位置決め処理を容易化することができる。

【0040】また、請求項13記載の発明によれば、電極板形成工程において、電極板より突出する突出端子を形成することにより、突起端子部の形成を電極板の形成と同時かつ一括的に行なうことができるため、半導体装置の製造工程の簡単化を図ることができる。また、封止樹脂形成工程で、この突出端子が封止樹脂から露出するよう封止樹脂を形成することにより、実装時に確実に外部接続端子を実装基板に接続することができると共に隣接する外部接続端子間で短絡が発生することを防止することができる。

【0041】また、請求項14記載の発明によれば、ソケットを用いて半導体装置を実装基板に接合するため、半導体装置の装着脱を容易にでき、例えばメンテナンス等において半導体装置を交換する必要が生じたような場合でも、容易に交換処理を行なうことができる。また、ソケットに設けられたリード部は通常半導体装置が装着される装着部の側部に配設されており、また半導体装置の外部接続端子は封止樹脂の側面に露出した構成である。このため、装着状態においてリード部と外部接続端子とは対向するためリード部を引き回すことなくリード部と外部接続端子との接続を行なうことができ、よってソケットの構造の簡単化を図ることができる。

【0042】また、請求項15記載の発明によれば、外部端子を形成する突出端子にバンプを配設し、このバンプを介して半導体装置を実装基板に接合させる構造とすることにより、半導体装置をBGA (Ball Grid Array) と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。

【0043】また、請求項16記載の発明によれば、接

続ピンの上端部を半導体装置の外部接続端子に接合すると共に下端部を実装基板に接合することにより、外部接続端子と実装基板との間には接続ピンが介在した構成となる。この接続ピンは可撓可能な構成であるため、例えば加熱時等に半導体装置側と実装基板側で熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収される。よって、応力が印加されても外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【 0 0 4 4 】 また、接続ピンは位置決め部材により外部接続端子の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと外部接続端子または実装基板との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。また、請求項 1 7 及び請求項 2 2 記載の発明によれば、半導体装置本体は、半導体素子の表面上に突起電極の先端部を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。

【 0 0 4 5 】 また、インタポーラは、半導体装置本体が装着されると共にこの半導体装置本体が接続される配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。

【 0 0 4 6 】 また、異方性導電膜は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜を用いて半導体装置本体とインタポーラとを接合することができる。この際、異方性導電膜の有する接着性により半導体装置本体とインタポーラは機械的に接合され、また異方性導電膜の有する異方性導電性により半導体装置本体とインタポーラは電気的に接合（接続）される。このように、異方性導電膜は接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。

【 0 0 4 7 】 更に、異方性導電膜は可撓性を有し、かつ半導体装置本体とインタポーラの間に介装されるため、この異方性導電膜は緩衝膜として機能する。よって、異方性導電膜により、半導体装置本体とインタポーラとの間に発生する応力を緩和することができる。また、請求項 1 8 記載の発明によれば、半導体装置本体に形成された突起電極の配設ピッチと、インタポーラに配設された外部接続端子の配設ピッチを同一ピッチとしたことにより、インタポーラの形状を小さくすることができ、半導

体装置の小型化を図ることができる。

【 0 0 4 8 】 また、請求項 1 9 記載の発明によれば、半導体装置本体に形成された突起電極の配設ピッチに対し、インタポーラに配設された外部接続端子の配設ピッチを大きく設定したことにより、インタポーラ上における配線パターンの引回しの自由度を更に向上することができる。また、請求項 2 0 記載の発明によれば、インタポーラ上に、突起電極と対向する位置に孔を有する絶縁部材を配設したことにより、半導体装置本体をインタポーラに装着される際に印加される押圧力はこの孔の形成位置に集中するため孔内における導電率は向上し、よって半導体装置本体とインタポーラとの電気的接続を確実に行なうことができる。

【 0 0 4 9 】 また、請求項 2 1 記載の発明によれば、インタポーラとして TAB テープを用いたことにより、TAB テープは半導体装置の構成部品として安価に供給されているため、インタポーラとして TAB テープを利用するこにより半導体装置のコスト低減を図ることができる。また、請求項 2 3 及び請求項 3 0 記載の発明によれば、半導体装置本体は、半導体素子の表面上に突起電極の先端部を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。

【 0 0 5 0 】 また、インタポーラは、半導体装置本体が装着されると共にこの半導体装置本体が接続される配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。

【 0 0 5 1 】 また、接着剤は半導体装置本体とインタポーラとを機械的に接合し、また導電性部材は半導体装置本体とインタポーラとを電気的に接合（接続）する。このように、半導体装置本体とインタポーラとを接合する際行なわれる機械的接合と電気的接合を別個の部材により行なうことにより、各機能（機械的接合機能、電気的接合機能）に最適な部材を選定することができる。これにより、半導体装置本体とインタポーラとの機械的接合及び電気的接合を共に確実に行なうことが可能となり、半導体装置の信頼性を向上させることができる。

【 0 0 5 2 】 更に、接着剤は固化した状態においても所定の可撓性を有し、かつ半導体装置本体とインタポーラの間に介装されるため、この接着剤は緩衝膜として機能する。よって、接着剤により、半導体装置本体とインタポーラとの間に発生する応力を緩和することができる。

また、請求項 2 4 記載の発明によれば、導電性部材とし

て導電性ペーストを用いたことにより、単に導電性ペーストを半導体素子の突起電極またはインタポーラの配線パターンに塗布するだけで導電性部材の配設を行なうことができるため、半導体装置の組み立て作業の容易化を図ることができる。また、導電性ペーストの塗布方法としては、周知の技術である転写法や印刷法を用いることができ、よって効率よく導電性部材の配設作業を行なうことができる。

【0053】また、請求項25記載の発明によれば、導電性部材をスタッダップにより構成したことにより、半導体素子の突起電極とインタポーラの配線パターンとはスタッダップを介して接合されることとなり、電気的接続を確実に行なうことができる。また、請求項26記載の発明によれば、導電性部材を配線パターンと一体的に形成されると共に接着剤の配設位置を迂回して突起電極に接続するフライングリードにより構成したことにより、フライングリードと突起電極との接続位置においては接着剤が介在しないため、フライングリードと突起電極との電気的接続の信頼性を向上させることができる。また、フライングリードはバネ性を有しているため、接続時にフライングリードはバネ力をもって突起電極に圧接する。よって、これによってもフライングリードと突起電極との電気的接続の信頼性を向上させることができる。

【0054】また、請求項27記載の発明によれば、突起電極とフライングリードとの接続位置を樹脂封止したことにより、外力印加等によりフライングリードが変形することを防止でき、半導体装置の信頼性を向上させることができる。また、請求項28記載の発明によれば、接続ピンの上端部を半導体装置本体の突起電極に接合すると共に下端部をインタポーラに設けられた外部接続端子に接合することにより、突起電極と外部接続端子との間には接続ピンが介在した構成となる。

【0055】この接続ピンは可撓可能な構成であるため、例えば加熱時等に半導体装置本体とインタポーラとの間に熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収される。よって、応力が印加されても外部接続端子と突起電極との接続を確実に維持することができる。また、接続ピンは位置決め部材により突起電極の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと突起電極または外部接続端子との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

【0056】更に、請求項29記載の発明によれば、位置決め部材を可撓性部材により形成したことにより、前記のように接続ピンが可撓しても、位置決め部材はこれに追随して可撓するため、半導体装置本体とインタポーラとの間に発生する応力を位置決め部材によっても吸収することができる。

【0057】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明の第1実施例である半導体装置10Aを示している。図1(A)は半導体装置10Aの断面図であり、また図1(B)は半導体装置10Aの側面図である。

【0058】本実施例に係る半導体装置10Aは、大略すると半導体素子12、電極板14A、封止樹脂16A、及び突出端子18からなる極めて簡単な構成とされている。半導体素子12(半導体チップ)は、半導体基板に電子回路が形成されたものであり、その実装面側には複数のバンプ電極22が形成されている。このバンプ電極22は、例えば半田ボールを転写法を用いて配設した構成とされており、電極板14にフリップチップ接合により接合されている。

【0059】このように、半導体素子12と電極板14とをフリップチップ接合したことにより、ワイヤを用いて接続する構成に比べて接合に要するスペースを小スペース化することができ、半導体装置10Aの小型化を図ることができる。また、接合部分における配線長を短くすることができるため、インピーダンスを低減でき電気的特性の向上を図ることができる。更に、隣接するバンプ電極22間のピッチを狭ピッチ化できるため、多ピン化にも対応することができる。

【0060】また、上記の電極板14はいわゆるインタポーラとして機能するものであり、例えば銅合金等の導電性金属により形成されている。この電極板14は、図2(A)に示されるように、所定のパターン形状を有した複数の金属板パターン26により構成されている

30 (尚、後述するように、図2(A)はリードフレーム状態の電極板14を示している)。

【0061】この金属板パターン26は、図中下面に半導体素子12のバンプ電極22が接合されると共に、図中上面である半導体素子12の配設面と異なる面に突出端子18が接合される。よって、金属板パターン26は、バンプ電極22と突出端子18とを電気的に接続する機能を奏する。また、図1(B)に示されるように、金属板パターン26の端部は封止樹脂16Aの側面から露出し、側部端子20を形成している。

【0062】突出端子18は、例えば半田よりなるボールバンプ(突起電極)であり、上記のように電極板14に接合されている。この突出端子18は、金属板パターン26を介して対応する既定のバンプ電極22に電気的に接続される。封止樹脂16Aは、半導体素子12、電極板14、及び突出端子18の一部を封止するよう形成されている。この封止樹脂16Aは、例えばポリイミド、エポキシ等の絶縁性を有した樹脂であり、半導体素子12を覆い保護するに足る最小の大きさで形成されている。これにより、半導体装置10Aの小型化を図ることができる。

【0063】また、封止樹脂16Aを形成した状態において、半導体素子12の背面28は封止樹脂16Aから露出するよう構成されている。半導体素子12の背面28は電子回路等は形成されておらず比較的強度が高い部位であるため、背面28を封止樹脂16Aから露出させても特に不都合は生じない。また、返って背面28を封止樹脂16Aから露出させることにより、半導体素子12で発生した熱は、この背面28から外部に放熱されるため、半導体装置10Aの放熱効率を向上させることができる。

【0064】また前記のように、封止樹脂16Aを形成した状態において、電極板14の端部は封止樹脂16Aの側面から露出し側部端子20を形成している。このように、側部端子20が封止樹脂16Aの側面から露出する構成とすることにより、側部端子20を突出端子18と共に他の基板或いは装置と接続する外部接続端子として用いることが可能となる。

【0065】図11は、本発明の第1実施例である半導体装置の実装構造を示しており、上記した構成の半導体装置10Aを実装基板32に実装した状態を示している。同図に示されるように、実装状態では突出端子18は封止樹脂16Aの底面と実装基板32との間に位置することとなり、外部から観察したりまたプローブ等のテスト治具を接続することはできない。

【0066】しかるに、半導体装置10Aでは、側部端子20を封止樹脂16Aの側面から露出させた構成としているため、半導体装置12を実装基板32に実装した後においても、この側部端子20を用いて半導体素子10Aの動作試験を行なうことが可能となる。よって、不良半導体装置の発見を容易に行なうことができ、実装時における歩留りの向上及び信頼性の向上を図ることができる。

【0067】再び図1に戻り、半導体装置10Aの説明を続ける。上記した封止樹脂16Aは、半導体素子12を覆うばかりではなく、電極板14の突出端子18が接合された面にも形成されている。このため、突出端子18は封止樹脂16Aにより保持する機能を奏する。よって、外力印加等により突出端子18が半導体装置10Aから離脱することを防止することができる。また、封止樹脂16Aは絶縁性を有しているため、突出端子18の配設密度が高い場合（即ち、狭ピッチ化された場合）であっても、実装時に隣接する突出端子18間で短絡が発生することを防止することができる。

【0068】更に、突出端子18は、封止樹脂16Aが形成された状態において、封止樹脂16Aから突出するよう構成されている。このため、実装時に確実に突出端子18を実装基板32に接続することができ、また図11に示したように半導体装置10AをBGA(Ball Grid Array)と同様に取り扱うことができ、実装性の向上を図ることができる。ここで、半導体装置10Aに設け

られた電極板14Aに注目する。

【0069】前記のように電極板14Aは金属板であるため、この電極板14Aを半導体素子12を保護する封止樹脂16A内に設けることにより、電極板を封止樹脂16Aを補強する補強材として機能させることができ。これにより、半導体素子12の保護をより確実に行なうことができ、よって半導体装置10Aの信頼性を向上させることができる。

【0070】また、電極板14Aは、外部接続端として

10 機能する突出端子18及び側部端子20と、半導体素子12との間に位置するものである。このため、従来のように半導体素子に直接外部接続端を接続する構成と異なり、半導体装置10Aの内部において電極板14Aにより半導体素子12と突出端子18、側部端子20との間で配線の引回しを行なうことが可能となる。よって、電極板14を設けることにより、半導体装置12及び外部接続端子（突出端子18、側部端子20）の端子レイアウトの自由度を高めることができる。

【0071】更に、電極板14Aは導電性金属よりな

20 り、一般に導電性金属（本実施例の場合は銅合金）は封止樹脂16Aよりも熱伝導性が良好であるため、半導体素子12で発生した熱は電極板14Aを介して外部に放熱される。よって、半導体素子12で発生した熱を効率よく放熱することができ、半導体素子12の安定した動作を担保することができる。

【0072】統いて、上記構成とされた半導体装置10Aの製造方法について説明する。図2乃至図5は、半導体装置10Aの製造方法を説明するための図である。

尚、図2乃至図5において、図1に示した構成と対応する構成については同一符号を付して説明する。本実施例に係る製造方法は、電極板形成工程、チップ搭載工程、突出端子形成工程、封止樹脂形成工程、切断工程とを有している。電極板形成工程では、例えばリードフレーム材である銅合金（例えば、Cu-Ni-Sn系）よりもなる金属基板に対し、パターン成形処理を行なうことにより複数の電極板14を有するリードフレーム24Aを形成する。この電極板形成工程で実施されるパターン成形処理は、エッティング法またはプレス加工法を用いて行なわれる。

40 【0073】このエッティング法及びプレス加工法は、一般的の半導体装置の製造工程において、リードフレーム形成法として一般に用いられている手法である。よって、エッティング法またはプレス加工法を適用することにより、設備の増加を伴うことなくリードフレーム24Aを形成することができる。図2(A)は、リードフレーム24Aの一部を拡大した図であり、4個の電極板14Aが示されている。本実施例に係る製造方法では、多数個取りを行なう構成とされているため、よって同図に示されるようにリードフレーム24Aには複数の電極板14Aが形成されている。

【0074】この電極位置14Aは、前記したように複数の金属板パターン26により構成されている。この金属板パターン26は、上記のパターン成形処理において任意の配線パターンに設定することができるため、電極板14Aにより配線の引回しを行なうことが可能となり、これにより電極板14Aに形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

【0075】一方、図2(B)は、前記した電極板14A(リードフレーム24A)に搭載される半導体素子12(12A~12C)を示している。本実施例では、一つの電極板14Aに3個の半導体素子12A~12Cを搭載する構成とされている。また、各半導体素子12A~12Cには、夫々電極板14Aと電気的に接続するためのバンプ電極22が配設されている。

【0076】同図に示すように、半導体素子12A~12Cの大きさは、必ずしも同一である必要はない。また、各電極板14Aに形成された金属板パターン26は、各半導体装置12A~12Cに形成されたバンプ電極22の形成位置と対応するよう構成されている。上記した電極板形成工程が終了すると、統いてチップ搭載工程が実施される。このチップ搭載工程では、電極板14Aに半導体素子12A~12Cを搭載し電気的に接続する処理が行なわれる。図3(A), (B)は、半導体素子12A~12Cが電極板14Aに搭載された状態を示している。

【0077】本実施例では、半導体素子12A~12Cを電極板14Aに接合する手段として、直接バンプ電極22を電極板14Aに接合するフリップチップ接合法が採用されている。このフリップチップ接合法を用いることにより、前記したように半導体素子12A~12Cと電極板14Aとの接合エリアの小スペース化を図ることができると共に、接続インピーダンスの低減を図ることができる。

【0078】上記したチップ搭載工程が終了すると、統いて突出端子形成工程が実施される。この突出端子形成工程は、電極板14Aを構成する金属板パターン26の所定位置に突起端子18を形成する。突起端子18は半田ボールにより構成されており、例えば転写法を用いて金属板パターン26に接合される。図4は、突起端子18が配設された電極板14Aを示している。この突起端子18は、上記のように金属板パターン26の配線パターンを適宜選定することにより、マトリックス状に配設されている。

【0079】上記した突出端子形成工程が終了すると、統いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、半導体素子12(12A~12C)及び突起端子18が配設されたリードフレーム24Aを金型に装着し、圧縮成形法を用いて封止樹脂16Aを形成する。封止樹脂16Aを形成することにより、半導体素子12及び電極板14Aは封止樹脂16Aに封止される。

よって、半導体素子12及び電極板14Aは封止樹脂16Aにより保護され、よって半導体装置10Aの信頼性を向上させることができる。

【0080】図5は、封止樹脂16Aが形成されたリードフレーム24Aを示している。同図に示すように、封止樹脂16Aが形成された状態において、半導体素子12(12A~12C)はその背面28を封止樹脂16Aから露出されており、また突起端子18はその先端所定部分が封止樹脂16Aから突出するよう構成されている。このように、半導体素子12の背面28を封止樹脂16Aから露出させることにより放熱効率を向上できると共に、突起端子18の先端部を封止樹脂16Aから突出させることにより、実装性の向上を図ることができる。

【0081】上記した封止樹脂形成工程が終了すると、統いて切断工程が実施される。この切断工程では、多数個取りを行なうために複数個一括的に形成された半導体装置の各境界位置(図5にA-Aで示す破線位置)で、封止樹脂16A及びリードフレーム24A(電極板14A)を切断する。これにより、図1に示す半導体装置10Aが形成される。

【0082】上記のように、封止樹脂16Aと共にリードフレーム24A(電極板14A)を切断することにより、電極板14Aの切断位置は封止樹脂16Aの側面に必ず露出することとなり側部端子20を形成する。よって、この側部端子20を外部接続端子として用いることができる。統いて、第2実施例に係る半導体装置10Bについて説明する。

【0083】図6は、第2実施例に係る半導体装置10Bを説明するための図であり、図6(A)は半導体装置10Bの断面を、図6(B)は半導体装置10Bの底面を夫々示している。尚、図6において、図1を用いて説明した第1実施例に係る半導体装置10Aと同一構成について、同一符号を付してその説明を省略する。また、以下説明する各実施例においても、同様とする。

【0084】前記した第1実施例に係る半導体装置10Aは、電極板14Aに突起端子18を形成し、この突起端子18を封止樹脂16Aから露出させる構成としていた。これに対し、本実施例に係る半導体装置10Bは、突起端子18を設けることなく、電極板14Aを直接封止樹脂16Bから露出させたことを特徴とするものである。

【0085】本実施例に係る半導体装置10Bは、突起端子18が設けられていないため、部品点数の削減及び製造工程の簡単化を図ることができる。また、電極板14Aは、封止樹脂16Bの側面に加え底面にも露出し外部接続端子を形成するため、側面及び底面の双方において実装を行なうことができる。図13は、半導体装置10Bを実装基板32に実装した構造を示している。同図に示されるように、半導体装置10Bは実装基板32に

半田 3 6 を用いてフェイスダウンボンディングされている。この際、半田 3 6 は、電極板 1 4 A の底面部ばかりでなく、側部端子 2 0 にも回り込んで半田付けされている。

【 0 0 8 6 】 また、本実施例に係る半導体装置 1 0 B は、後述する第 3 実施例に係る半導体装置 1 0 C と同様に側部端子 2 0 のみを用いて実装することも可能であり、よって実装構造の自由度を向上させることができる。統いて、第 3 実施例に係る半導体装置 1 0 C について説明する。図 7 は、第 3 実施例に係る半導体装置 1 0 C を説明するための図であり、図 7 (A) は半導体装置 1 0 C の断面を、図 7 (B) は半導体装置 1 0 C の上面を夫々示している。

【 0 0 8 7 】 前記した第 2 実施例に係る半導体装置 1 0 B は、電極板 1 4 A の底面及び側端部を共に直接封止樹脂 1 6 B から露出させた構成としていたが、本実施例に係る半導体装置 1 0 C は、電極板 1 4 A の側端部のみを封止樹脂 1 6 C から露出させ側部端子 2 0 を形成したことを特徴とするものである。本実施例に係る半導体装置 1 0 C では、電極板 1 4 A が側部端子 2 0 を残し封止樹脂 1 6 C に埋設された構成とされているため、熱応力や外力により電極板 1 4 A が封止樹脂 1 6 C から剥離することを防止でき、半導体装置 1 0 C の信頼性を向上させることができる。

【 0 0 8 8 】 続いて、第 4 実施例に係る半導体装置 1 0 D について説明する。図 8 は、第 4 実施例に係る半導体装置 1 0 D を説明するための図であり、図 8 (A) は半導体装置 1 0 D の断面を、図 8 (B) は半導体装置 1 0 D の上面を、図 8 (C) は半導体装置 1 0 D の底面を夫々示している。本実施例に係る半導体装置 1 0 D は、電極板 1 4 B に突起状端子 3 0 (突出端子) を形成したことを特徴とするものである。この突起状端子 3 0 は電極板 1 4 B を塑性加工 (例えば、プレス加工) することにより形成されており、よって突起状端子 3 0 と電極板 1 4 B とは一体的な構成とされている。

【 0 0 8 9 】 また、突起状端子 3 0 の形成処理は、前記した電極板形成工程で一括的に形成することができる。このため、突起状端子 3 0 を形成することにより製造工程が複雑になるようなことはなく、また突起状端子 3 0 を別部材により形成する構成に比べて部品点数の削減を図ることができる。上記構成とされた突起状端子 3 0 は、図 8 (A), (B) に示されるように、封止樹脂 1 6 D の底面から露出するよう構成されている。このように、突起状端子 3 0 を封止樹脂 1 6 D の底面から露出させることにより、突起状端子 3 0 を外部接続端子として機能させることができる。

【 0 0 9 0 】 図 1 7 は、上記した半導体装置 1 0 D を実装基板 3 2 に実装した状態を示している。同図に示されるように、半導体装置 1 0 D は半田 5 4 を用いて実装基板 3 2 に実装されるが、この際突起状端子 3 0 は封止樹

脂 1 6 D の底面及び側面に露出した構成とされているため、半田 5 4 との接合面積を大きくすることができ、よって確実に突起状端子 3 0 を実装基板 3 2 に接続することができる。

【 0 0 9 1 】 また、突起状端子 3 0 及び側部端子 2 0 を除き、電極板 1 4 B は封止樹脂 1 6 D に埋設された構成となるため、隣接する突起状端子 3 0 は封止樹脂 1 6 D により絶縁される。このため、実装時に半田 5 4 により隣接する突起状端子 3 0 間で短絡が発生するようなことはなく、実装の信頼性を向上させることができる。図 9 及び図 1 0 は、第 2 実施例に係る半導体装置の製造方法を示しており、前記した半導体装置 1 0 D の製造方法を示している。

【 0 0 9 2 】 尚、本実施例に係る製造方法は、図 2 乃至図 5 を用いて説明した第 1 実施例に係る製造方法に対し、電極板形成工程、封止樹脂形成工程、及び切断工程のみが異なり他の工程は同一であるため、以下の説明では電極板形成工程についてのみ説明するものとする。本実施例に係る電極板形成工程では、電極板 1 4 B を有したりードフレーム 2 4 B を形成する際、突起状端子 3 0 も一括的に塑性加工される。このように、電極板 1 4 B を形成するため行なわれる切断加工と、突起状端子 3 0 を形成するため行なわれる塑性加工を一括的に実施するのは、リードフレーム 2 4 B を形成する金型の構成を適宜設定することにより容易に実現することができる。

【 0 0 9 3 】 図 9 は、電極板形成工程が実施されることにより形成されたリードフレーム 2 4 B を示している。同図において、ハッチングで示される部分が突起状端子 3 0 であり、この突起状端子 3 0 は電極板 1 4 B に対して突出した形状を有している。このように、本実施例によれば、突起状端子 3 0 の形成を電極板 1 4 B の形成と同時に一括的に行なうことができるため、半導体装置 1 0 D の製造工程の簡略化を図ることができる。

【 0 0 9 4 】 また、図 1 0 に示されるように、封止樹脂形成工程では突起状端子 3 0 が封止樹脂 1 6 D から露出するよう封止樹脂 1 6 D を形成する。このように、突起状端子 3 0 を封止樹脂 1 6 D から露出させるには、封止樹脂形成工程で用いる金型のキャビティ面を突起状端子 3 0 に当接させた状態とすることにより、容易に実現することができる。

【 0 0 9 5 】 また、切断工程における切断位置は、図 1 0 に A-A で示す破線位置とされており、突起状端子 3 0 の側面が封止樹脂 1 6 D から露出するよう選定されている。よって、図 1 7 に示されるように、実装時において半田 5 4 は突起状端子 3 0 の側面までも回り込み、確実な半田付けを行なうことができる。統いて、上記した各実施例に係る半導体装置 1 0 A ~ 1 0 D を実装基板 3 2 に実装する実装構造について説明する。

【 0 0 9 6 】 図 1 1 乃至図 1 7 は、第 1 乃至第 7 実施例である半導体装置 1 0 A ~ 1 0 D の実装構造を示してい

る。尚、図11に示す半導体装置10Aを実装する第1実施例に係る実装構造、図13に示す半導体装置10Bを実装する第3実施例に係る実装構造、及び図17に示す半導体装置10Dを実装する第7実施例に係る実装構造については既に説明済であるため、ここでの説明は省略するものとする。

【0097】図12は、第2実施例に係る半導体装置の実装構造を示している。本実施例に係る実装構造は、第1実施例に係る半導体装置10Aを例に挙げたものであり、外部端子を形成する突起端子18に実装用バンプ34を配設し、この実装用バンプ34を介して半導体装置10Aを実装基板32に接合させたことを特徴とするものである。

【0098】このように、実装用バンプ34を介して半導体装置10Aを実装基板32に接合させる構造とすることにより、半導体装置10AをBGA(Ball Grid Array)と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。また、突起端子18は電極板14Aに形成されるものであるため、その体積を大きくするには限界があるが、実装用バンプ34の体積は任意に設定することができる。よって、隣接する実装用バンプ34間で短絡が発生しない範囲において実装用バンプ34の体積を最大とすることにより、半導体装置10Aと実装基板32との接着力を増大することができ、これにより実装の信頼性を向上させることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置10A, 10B, 10Dについても適用できるものである。

【0099】図14は、第4実施例に係る半導体装置の実装構造を示している。本実施例に係る実装構造は、第2実施例に係る半導体装置10Bを例に挙げたものであり、実装部材38を用いて半導体装置10Bを実装基板32に接合させたことを特徴とするものである。実装部材38は、接続ピン40と位置決め部材42とにより構成されている。接続ピン40は可撓可能な導電性金属材料(例えば、導電性を有したバネ材)よりなり、電極板14Aの外部接続端子として機能する位置と対応した位置に配設されている。また、位置決め部材42はシリコングム等の可撓性及び絶縁性を有した材料により形成されており、接続ピン40を上記の所定位置に位置決めする機能を奏するものである。

【0100】上記構成とされた実装部材38は、実装された状態において、接続ピン40の上端部が半導体装置10Bの電極板14Aに接合(例えば、半田付け接合)し、また接続ピン40の下端部は実装基板32に接合される。従って本実施例に係る実装構造では、外部接続端子と実装基板との間には接続ピンが介在した構成となる。接続ピン40は、前記のように可撓可能な構成であるため、例えば加熱時等に半導体装置10Bと実装基板32との間で熱膨張率差に起因した応力が発生しても、

この応力は接続ピン40が可撓することにより吸収される。

【0101】よって、上記の応力が印加されても半導体装置10Bと実装基板32との接合状態を確実に維持することができ、実装の信頼性を向上させることができ。この際、接続ピン40を保持する位置決め部材42も可撓性を有した構成とされているため、接続ピン40の可撓変形を阻止するようなことはなく、応力の吸収を確実に行なうことができる。

10 【0102】更に、接続ピン40は位置決め部材42により位置決めされているため、実装時において個々の接続ピン40と半導体装置10B(電極板14A)、または個々の接続ピン40と実装基板32との位置決め処理を行なう必要はなく、実装作業の容易化を図ることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置10A, 10B, 10Dについても適用できるものである。図15は、第5実施例に係る半導体装置の実装構造を示している。

【0103】本実施例に係る実装構造は、第3実施例に係る半導体装置10Cを例に挙げたものであり、ソケット44を用いて半導体装置10Cを実装基板32に実装したことを特徴とするものである。ソケット44は、半導体装置10Cが装着される装着部46と、封止樹脂16Cの側面に露出した側部端子20と接続するよう設けられたリード部48とを有した構成とされている。そして、半導体装置10Cを装着部46に装着し、リード部48の上部と半導体装置10Cの側部端子20とを電気的に接続した上で、リード部48の下部を実装基板32に接合(例えば、半田付け接合)する。これにより、半導体装置10Cはソケット44を介して実装基板32に実装される。

【0104】このように、ソケット44を用いて半導体装置10Cを実装基板32に実装する構造とすることにより、実装基板32に対する半導体装置10Cの装着脱は、単にソケット44に対し半導体装置10Cを装着脱すればよいため、半導体装置10Cの装着脱を容易に行なうことが可能となる。このため、例えばメンテナンス等において半導体装置10Cを交換する必要が生じたような場合でも、容易に交換処理を行なうことができる。

40 【0105】また、ソケット44に設けられたリード部48は、装着部46の側部に配設されており、また半導体装置10Cの側部端子20は封止樹脂16Cの側面に露出した構成である。このため、半導体装置10Cを装着部46に装着した状態においてリード部48と側部端子20とは対向するため、リード部48を引き回すことなくリード部48と半導体装置10Cとの接続を行なうことができ、よってソケット44の構造の簡単化を図ることができる。

【0106】図16は、第6実施例に係る半導体装置の実装構造を示している。本実施例に係る実装構造は、前

記した第5実施例に係る実装構造と同様にリード部50を用いて半導体装置10Cを実装基板32に実装するものであるが、装着部46に代えてダイステージ52を利用したことを特徴とするものである。本実施例に係るソケット51は、リードフレーム材料により一体的に形成されたリード部50とダイステージ52とにより構成されている。ダイステージ52は半導体装置10Cを装着する部分であり、その外周位置に複数のリード部50が形成されている。このリード部50は、その半導体装置10Cと対向する部分の一部が直角上方に折曲され、側部端子20と電気的に接続するよう構成されている。

【0107】上記構成とされたソケット51を用いることによっても、第5実施例に係る実装構造と同様に半導体装置10Cの装着脱を容易に行なうことが可能となる。また、ソケット51を構成するリード部50とダイステージ52は一体的な構成であるため、部品点数の削減を図ることができると共に容易にソケット51を製造することができる。

【0108】続いて、第5実施例である半導体装置10Eについて説明する。図18は、第5実施例である半導体装置10Eの断面図である。本実施例に係る半導体装置10Eは、前記した第1実施例に係る半導体装置10Aに対し、その上面に放熱板56(放熱部材)を設けたことを特徴とするものである。放熱板56は、例えばアルミニウム板等の熱伝導率が良好で、かつ軽量の材質が選定されている。この放熱板56は、熱伝導性が高い接着剤を用いて半導体素子12及び封止樹脂16Aに接着されている。このように、封止樹脂16Aの半導体素子12に近接する位置に放熱板56を配設したことにより、半導体素子12で発生する熱を効率よく放熱することができる。

【0109】特に、本実施例では半導体素子12の背面28は封止樹脂16Aから露出した構成とされており、放熱板56はこの露出した背面28に直接接着された構成とされている。よって、放熱板56と半導体素子12との間に、熱伝導性が不良な封止樹脂16Aが介在しないため、放熱特性を更に良好なものとすることができます。

【0110】続いて、上記構成とされた半導体装置10Eの製造方法(第3実施例に係る製造方法)について説明する。図19乃至図24は、半導体装置10Eの製造方法を説明するための図である。尚、図19乃至図24において、第1実施例に係る製造方法の説明に用いた図2乃至図5で示した構成と対応するものについては同一符号を付し、またその説明は省略する。

【0111】本実施例に係る製造方法は、第1実施例に係る製造方法に対し、少なくともチップ搭載工程を実施する前に、半導体素子12を放熱板56上に位置決めして取り付けるチップ取り付け工程を実施することを特徴とするものである。また、電極板形成工程、チップ搭載

工程、突出端子形成工程、封止樹脂形成工程、及び切断工程は、基本的には第1実施例と同様の処理が行なわれる。

【0112】図19は、電極板形成工程を実施することにより形成されたリードフレーム24Aの一部を拡大した図であり、図中破線で囲まれた領域が1個の半導体装置10Eに対応する領域である(以下、この領域を接合領域58という)。また、図20はチップ取り付け工程を説明するための図である。チップ取り付け工程では、前記した接合領域58と同一面積を有した放熱板56を形成しておき、この放熱板56上に半導体素子12(12A～12C)を電極板14Aへの配設位置と対応する位置に位置決めして接着する。これにより、各半導体素子12(12A～12C)は、電極板14Aへの配設位置に固定されたこととなり、また3個の半導体素子12A～12Cを一括的に取り扱うことが可能となる。

【0113】尚、図20に示す例では、各放熱板56は接合領域58に対応した大きさに分離され別個の構成とされているが、図21に示すように、連結部60により各放熱板56をリードフレーム24Aの各接合領域58の形成位置と対応するよう連結した構成としてもよい。上記したチップ取り付け工程が終了すると、続いてチップ搭載工程及び突出端子形成工程が実施される。図22及び図23は、チップ搭載工程及び突出端子形成工程が終了した状態のリードフレーム24Aを示している。図22は、放熱板56がリードフレーム24Aに取り付けられた一部を拡大して示す図であり、また図23はその全体を示す図である。

【0114】チップ搭載工程では、半導体素子12(12A～12C)が取り付けられた放熱板56をリードフレーム24Aに配設することにより、電極板14Aに半導体素子12A～12Cを搭載し電気的に接続する処理が行なわれる。前記したように、本実施例ではチップ搭載工程を実施する前に、半導体素子12(12A～12C)を放熱板56上に位置決めして取り付けるチップ取り付け工程が実施されている。よって、チップ搭載工程では、放熱板56をリードフレーム24Aの接合領域58に位置決めして取り付けることにより、複数の半導体素子12(12A～12C)を一括的に電極板14に搭載することができる。

【0115】これにより、チップ搭載工程では個々の半導体素子12(12A～12C)の位置決めを行なう必要がなくなり、単に形状の大きな放熱板56と電極板14(リードフレーム24A)とを位置決めすればよいため、位置決め処理を容易化することができる。また、図21に示した、連結部60により複数の放熱板56が接合領域58に対応して設けられたものを用いることにより、更に多数個の半導体素子12を一括的に電極板14(リードフレーム24A)に位置決めして搭載することができ、位置決め処理が更に容易化し半導体装置10E

の製造効率を向上させることができる。

【0116】上記したチップ搭載工程及び突出端子形成工程が終了すると、続いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、半導体素子12（12A～12C）及び突起端子18が配設されたりードフレーム24Aを金型に装着し、圧縮成形法を用いて封止樹脂16Aを形成する。この際、本実施例では、各電極板14Aには放熱板56が配設された状態となっているため、この放熱板56を下型の一部として用いることができる。

【0117】図24は、封止樹脂16Aが形成されたりードフレーム24Aを示している。同図に示すように、封止樹脂16Aは放熱板56より内側に形成されるため、離型時における離型性を向上させることができる。そして、上記した封止樹脂形成工程が終了すると、続いて切断工程が実施され、図24にA-Aで示す破線位置で切断処理が行なわれることにより、図18に示す半導体装置10Eが形成される。

【0118】続いて、第6実施例である半導体装置10Fについて説明する。図25は、第6実施例である半導体装置10Fの断面図である。本実施例に係る半導体装置10Eは、前記した第5実施例に係る半導体装置10Eに対し、放熱板56の上部に更に放熱フィン62を配設したことを特徴とするものである。放熱フィン62は多数のフィン部61を設けることにより、その放熱面積は広くなっている。また、放熱フィン62は、熱伝導性の良好な接着剤により放熱板56の上部に接着されている。よって、放熱フィン62を放熱板56に配設することにより放熱効率は更に向上升し、半導体素子12をより効率的に冷却することができる。

【0119】続いて、第7乃至第10実施例に係る半導体装置10G～10Jについて説明する。この各半導体装置10G～10Jは、共に放熱板56を配設することにより、半導体素子12から発生する熱を効率よく放熱するよう構成したことを特徴とするものである。図26は、第7実施例である半導体装置10Gを示している。本実施例に係る半導体装置10Gは、前記した第2実施例に係る半導体装置10B（図6参照）に放熱板56を配設した構成とされている。図27は、第8実施例である半導体装置10Hを示している。本実施例に係る半導体装置10Hは、前記した第4実施例に係る実装構造で用いた実装部材38を有しており（図14参照）、かつ、半導体素子12の上部に放熱板56を配設した構成とされている。

【0120】また、図28は、第9実施例である半導体装置10Iを示している。本実施例に係る半導体装置10Iは、前記した第3実施例に係る半導体装置10C（図7参照）に放熱板56を配設した構成とされている。更に、図29は、第10実施例である半導体装置10Jを示している。本実施例に係る半導体装置10J

は、前記した第4実施例に係る半導体装置10D（図8参照）に放熱板56を配設した構成とされている。このように、各半導体装置10G～10Jに夫々放熱板56を配設することにより、放熱効率の向上を図ることができる。

【0121】続いて、第11実施例である半導体装置10Kについて説明する。図30は第11実施例に係る半導体装置10Kを説明するための図であり、図30

（A）は半導体装置10Kの断面を、図30（B）は半導体装置10Kの底面を夫々示している。本実施例に係る半導体装置10Kは、大略すると半導体装置本体70、インタポーラ72A、異方性導電膜74、及び外部接続端子76等により構成されている。

【0122】半導体装置本体70は、半導体素子78、突起電極80、及び樹脂層82等により構成されている。半導体素子78（半導体チップ）は、半導体基板に電子回路が形成されたものであり、その実装側の面には多数の突起電極80が配設されている。突起電極80は、例えば半田ボールを転写法を用いて配設された構成とされており、外部接続電極として機能するものである。

【0123】また、樹脂層82（梨地で示す）は、例えばポリイミド、エポキシ（PPS、PEK、PES、及び耐熱性液晶樹脂等の熱可塑性樹脂）等の熱硬化性樹脂よりなり、半導体素子78のバンプ形成側面の全面にわたり形成されている。従って、半導体素子78に配設されている突起電極80は、この樹脂層82により封止された状態となるが、突起電極80の先端部は樹脂層82から露出するよう構成されている。即ち、樹脂層82は、先端部を残して突起電極80を封止するよう半導体素子78に形成されている。

【0124】上記構成とされた半導体装置本体70は、その全体的な大きさが略半導体素子78の大きさと等しい、いわゆるチップサイズパッケージ構造となる。また、上記したように半導体装置本体70は、半導体素子78上に樹脂層82が形成された構成とされており、かつこの樹脂層82は先端部を残し突起電極80を封止した構造とされている。このため、樹脂層82によりデリケートな突起電極80は保持されることとなり、よってこの樹脂層82はアンダーフィルレジン6と同様の機能を奏すこととなる。

【0125】また、インタポーラ72Aは半導体装置本体70と外部接続端子76を電気的に接続する中間部材として機能するものであり、配線パターン84Aとベース部材86Aとにより構成されている。本実施例では、インタポーラ72AとしてTAB（Tape Automated Bonding）テープを利用することを特徴としている。このように、インタポーラ72AとしてTABテープを用いることにより、一般にTABテープは半導体装置の構成部品として安価に供給されているため、半導体装置10Kの

コスト低減を図ることができる。

【0126】インタポーザ72Aを構成する配線パターン84Aは、例えば銅をプリント配線した構成とされており、ベース部材86Aは例えばポリイミド系の絶縁性樹脂によりなり、半導体装置本体70に形成された突起電極80の形成位置と対応する位置には孔88が貫通形成されている。また、異方性導電膜74は、接着性を有する可撓性樹脂内に導電性フィラーを混入したものである。よって、異方性導電膜74は接着性と押圧方向に対する導電性とを共に有したものである。この異方性導電膜74は、図示されるように、半導体装置本体70とインタポーザ72Aとの間に介装される。

【0127】これにより、半導体装置本体70とインタポーザ72Aは、異方性導電膜74の有する接着性により接着される。また、この接着時において半導体装置本体70はインタポーザ72aに向け押圧されるため、半導体装置本体70とインタポーザ72Aは、異方性導電膜74により電気的に接続される。また、外部接続端子76は半田ボールよりなり、ベース部材36Aに形成された孔88を介して配線パターン84Aと接続される。この外部接続端子76は、半導体装置本体70の搭載の邪魔にならないように、半導体装置本体70の搭載面と反対側の面に配設される。

【0128】更に、本実施例に係る半導体装置10Kは、半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーザ72Aに配設された外部接続端子76の配設ピッチとが同一ピッチとなるよう構成されている。これに伴い、異方性導電膜74及びインタポーザ72Aの平面視した時の面積は、半導体装置本体70の平面視した時の面積と略等しくなるよう構成されている。

【0129】上記のように、半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーザ72Aに配設された外部接続端子76の配設ピッチを同一ピッチとしたことにより、異方性導電膜74及びインタポーザ72Aの形状を小さくすることができ、半導体装置10Kの小型化を図ることができる。ところで、上記したインタポーザ72Aは、配線パターン84Aがベース部材86A上に形成された構成であるため、このベース部材86A上において任意の配線パターンを形成することができる。即ち、ベース部材86A上において、配線パターン84Aを引き回すことが可能となる。

【0130】このように、ベース部材86A上において配線パターン84Aを引き回すことにより、半導体装置本体70に設けられた突起電極80の形成位置に拘わらず外部接続端子76の配設位置を設定することができる。よって、外部接続端子76の端子レイアウトを設定するに際し、その自由度を高めることができるため、半導体装置本体70の設計及び、半導体装置10Kが実装される実装基板の配線設計を容易化することができる。

【0131】また、前記したように、異方性導電膜74は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜74を用いて半導体装置本体70とインタポーザ72Aとを接合することができる。この際、異方性導電膜74の有する接着性により半導体装置本体70とインタポーザ72Aは機械的に接合され、また異方性導電膜74の有する異方性導電性により半導体装置本体70とインタポーザ72Aは電気的に接合（接続）される。

10 【0132】このように、異方性導電膜74は接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。更に、異方性導電膜74は可撓性を有し、かつ半導体装置本体70とインタポーザ72Aとの間に介装されるため、この異方性導電膜74を緩衝膜として機能させることができる。よって、半導体装置本体70とインタポーザ72Aとの間に発生する応力（例えば、熱応力等）を異方性導電膜74により緩和することができ、半導体装置10Kの信頼性を向上させることができる。

20 【0133】統いて、上記構成とされた半導体装置10Kの製造方法について説明する。図31は、半導体装置10Kの製造方法（第4実施例に係る製造方法）を示している。同図に示すように、半導体装置10Kを製造するには、予め別工程において半導体装置本体70、異方性導電膜74、及びインタポーザ72Aを形成しておく。そして、図示されるように半導体装置本体70とインタポーザ72Aとの位置決めを行なった上で、半導体装置本体70とインタポーザ72Aとの間に異方性導電膜74を介装し、半導体装置本体70をインタポーザ72Aに向け押圧する。

30 【0134】これにより、前記のように異方性導電膜74の有する接着性により半導体装置本体70とインタポーザ72Aは機械的に接合されると共に、異方性導電膜74の有する異方性導電性により半導体装置本体70とインタポーザ72Aは電気的に接合される。よって、本実施例の製造方法によれば、半導体装置本体70とインタポーザ72Aとの機械的接合処理及び電気的接合処理を一括的に行なうことができるために、半導体装置10Kの製造工程を簡単化することができる。

40 【0135】上記のように半導体装置本体70とインタポーザ72Aとの接合処理が終了すると、統いて半田ボールよりなる外部接続端子76を転写法によりインタポーザ72Aに接合する。この際、外部接続端子76の転写は加熱雰囲気中で行なわれるため、外部接続端子76は溶融して孔88内に進入してインタポーザ72Aの配線パターン84Aと電気的に接続する。

50 【0136】この際、上記のように外部接続端子76はインタポーザ72Aに形成された孔88内に進入するため、外部接続端子76とインタポーザ72Aとの接合力

は強くなる。よって、外部接続端子 7 6 がインタポーザ 7 2 A から離脱することを防止でき、半導体装置 1 0 K の信頼性を向上させることができる。統いて、第 1 2 実施例である半導体装置 1 0 L について説明する。

【 0 1 3 7 】 図 3 2 は、第 1 2 実施例に係る半導体装置 1 0 L の要部を拡大して示した図である。尚、図 3 2 において、図 3 0 を用いて説明した第 1 1 実施例に係る半導体装置 1 0 K の構成と対応する構成については、同一符号を付してその説明を省略する。本実施例に係る半導体装置 1 0 L は、インタポーザ 7 2 A 上に所定の厚さを有する絶縁部材 9 4 を配設したことを特徴とするものである。この絶縁部材 9 4 は例えばポリイミド系の絶縁樹脂であり、半導体装置本体 7 0 に設けられた突起電極 8 0 の形成位置と対応する位置には接続孔 9 6 が形成されている。

【 0 1 3 8 】 上記構成とされた半導体装置 1 0 L によれば、半導体装置本体 7 0 をインタポーザ 7 2 A に装着する際、半導体装置本体 7 0 をインタポーザ 7 2 A に向か押圧すると、この押圧力により異方性導電膜 7 4 は変形付勢される。この際、特に接続孔 9 6 の形成位置においては、異方性導電膜 7 4 は狭い接続孔 9 6 内に入り込もうとし、よって接続孔 9 6 内の内圧は高くなる。

【 0 1 3 9 】 このように、接続孔 9 6 内における異方性導電膜 7 4 の圧力が集中的に高くなるため、異方性導電膜 7 4 内に混入されている導電性フィラーの密度も高くなる。よって、異方性導電膜 7 4 の接続孔 9 6 内における導電率は向上し、よって半導体装置本体 7 0 とインタポーザ 7 2 A との電気的な接続を確実に行なうことができる。

【 0 1 4 0 】 図 3 3 及び図 3 4 は、半導体装置 1 0 L の製造方法（第 5 実施例に係る製造方法）を示している。尚、図 3 3 及び図 3 4 において、第 4 実施例に係る製造方法を説明するのに用いた図 3 1 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 1 0 L を多数個取りする方法について説明するものとする。

【 0 1 4 1 】 半導体装置 1 0 L を製造するには、予め別工程において半導体装置本体 7 0 が複数個形成されたウェハ 9 0 、異方性導電膜 7 4 、及びインタポーザ 7 2 A が複数個形成された TAB テープ 9 2 を形成しておく。この TAB テープ 9 2 を形成する際、その上面（ウェハ 9 0 が装着される面）の半導体装置本体 7 0 と対向する位置に絶縁部材 9 4 を形成する。この絶縁部材 9 4 は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材 9 4 を形成する際、突起電極 8 0 の形成位置と対応する位置に接続孔 9 6 を形成しておく。

【 0 1 4 2 】 そして、図 3 3 に示されるように、突起電極 8 0 と接続孔 9 6 との位置決めを行なった上で、ウェハ 9 0 と TAB テープ 9 2 との間に異方性導電膜 7 4 を

介装し、ウェハ 9 0 を TAB テープ 9 2 に向け押圧する。これにより、前記のように異方性導電膜 7 4 の有する接着性によりウェハ 9 0 と TAB テープ 9 2 は機械的に接合されると共に、異方性導電膜 7 4 の有する異方性導電性により突起電極 8 0 は配線パターン 8 4 A に電気的に接合される。この際、前記したように接続孔 9 6 内においては異方性導電膜 7 4 の導電性が向上するため、突起電極 8 0 と配線パターン 8 4 A との電気的接続を確実に行なうことができる。

10 【 0 1 4 3 】 図 3 4 は、ウェハ 9 0 と TAB テープ 9 2 とが接合された状態を示している。このように、ウェハ 9 0 と TAB テープ 9 2 の接合処理が終了すると、統いて図 3 4 に A-A で示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体 7 0 及びインタポーザ 7 2 A が形成され、図 3 2 に示す半導体装置 1 0 L が形成される。よって、本実施例の製造方法によれば、半導体装置本体 7 0 とインタポーザ 7 2 A との機械的接合処理及び電気的接合処理を一括的に行なうことができるため、半導体装置 1 0 L の製造工程を簡単化することができる。また、本実施例ではいわゆる多数個取りができるため、半導体装置 1 0 L の製造効率を向上することができる。

20 【 0 1 4 4 】 更に、一般に異方性導電膜 7 4 を用いた電気的接続構造では、電気的接続の歩留りが低下することが問題とされるが、本実施例では半導体装置本体 7 0 （突起電極 8 0 ）と対向する位置に接続孔 9 6 が形成された絶縁部材 9 4 を配設したことにより、突起電極 8 0 と配線パターン 8 4 A との電気的接続を確実に行なうことができる。よって、半導体装置 1 0 L の信頼性を向上させることができる。

30 【 0 1 4 5 】 統いて、第 1 3 実施例である半導体装置 1 0 M について説明する。図 3 5 は、第 1 3 実施例に係る半導体装置 1 0 M を示しており、図 3 5 (A) は半導体装置 1 0 M の断面を、図 3 5 (B) は半導体装置 1 0 M の底面を示している。尚、図 3 5 において、図 3 0 を用いて説明した第 1 1 実施例に係る半導体装置 1 0 K の構成と対応する構成については、同一符号を付してその説明を省略する。

40 【 0 1 4 6 】 前記した第 1 1 実施例に係る半導体装置 1 0 K では、小型化を図るために半導体装置本体 7 0 に形成された突起電極 8 0 の配設ピッチと、インタポーザ 7 2 A に配設された外部接続端子 7 6 の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置 1 0 M は、半導体装置本体 7 0 に形成された突起電極 8 0 の配設ピッチに対し、インタポーザ 7 2 B に配設された外部接続端子 7 6 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ 7 2 B の面積は半導体装置本体 7 0 の面積に対し広くなっている。

50 【 0 1 4 7 】 このように、突起電極 8 0 の配設ピッチに

対し外部接続端子76の配設ピッチを大きく設定したことにより、インタポーラ72B上における配線パターン84Bの引回しの自由度を更に向上することができる。具体的には、図35(B)に示されるように、突起電極80が配設される接続孔96の形成位置と外部接続端子76の配設位置とを離間させ、この接続孔96と外部接続端子76とを配線パターン84Bで接続することができる。

【0148】これにより、外部接続端子76の端子レイアウトの自由度が向上し端子設計の容易化を図ることができる。また、半導体装置本体70の高密度化により突起電極80の電極間ピッチが狭ピッチ化しても、突起電極80と外部接続端子76との配設位置を異ならせることができるため、上記の狭ピッチ化に容易に対応することができる。

【0149】図36は、上記した半導体装置10Mの製造方法（第6実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Mを形成する方法を例に挙げて示している。本実施例に係る半導体装置10Mの製造方法では、予め別工程において半導体装置本体70、異方性導電膜74、及びインタポーラ72Bを形成しておく。そして、突起電極80と接続孔96との位置決めを行なった上で、半導体装置本体70とインタポーラ72Bとの間に異方性導電膜74を介装し、半導体装置本体70をインタポーラ72Bに向け押圧する。

【0150】これにより、異方性導電膜74の有する接着性により半導体装置本体70とインタポーラ72Bは機械的に接合されると共に、異方性導電膜74の有する異方性導電性により半導体装置本体70とインタポーラ72Bは電気的に接合される。これにより、図35に示す半導体装置10Mが形成される。よって、本実施例の製造方法によっても、半導体装置本体70とインタポーラ72Bとの機械的接合処理及び電気的接合処理を一括的に行なうことができるため、半導体装置10Mの製造工程を簡単化することができる。

【0151】統いて、第14実施例である半導体装置10Nについて説明する。図37は、第14実施例である半導体装置10Nを示す断面図である。尚、図37において、図30を用いて説明した第11実施例に係る半導体装置10Kの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第11実施例に係る半導体装置10Kは、半導体装置本体70とインタポーラ72Aを接合するのに異方性導電性膜74を用い、半導体装置本体70とインタポーラ72Aとを電気的及び機械的に一括的に接合する構成とされていた。

【0152】これに対し、本実施例に係る半導体装置10Nは、異方性導電性膜74に代えて接着剤98と導電性ペースト100（導電性部材）を設けたことを特徴とするものである。接着剤98は、例えばポリイミド系の

絶縁性樹脂であり、硬化した後においても所定の可撓性を有する材質に選定されている。この接着剤98は、半導体装置本体70とインタポーラ72Aとの間に介装され、この半導体装置本体70とインタポーラ72Aとを接着固定する機能を奏する。また、接着剤98の突起電極80の形成位置に対応する位置には通孔102が形成されている。

【0153】一方、導電性ペースト100は所定の粘性を有しており、よって上記の通孔102内にも入り込める構成とされている。この導電性ペースト100は、通孔102内に介装されることにより、半導体装置本体70とインタポーラ72Aとを電気的に接続する機能を奏する。具体的には、導電性ペースト100により突起電極80と配線パターン84Aとが電気的に接続され、これにより半導体装置本体70とインタポーラ72Aは電気的に接続される。

【0154】上記のように、本実施例に係る半導体装置10Nでは、接着剤98が半導体装置本体70とインタポーラ72Aとを機械的に接合し、また導電性ペースト

20 100が半導体装置本体70とインタポーラ72Aとを電気的に接合（接続）する。このように、半導体装置本体70とインタポーラ72Aとを接合する際行なわれる機械的接合と電気的接合を別個の部材（接着剤98、導電性ペースト100）により行なうことにより、各機能（機械的接合機能、電気的接合機能）に最適な部材を選定することができる。これにより、半導体装置本体70とインタポーラ72Aとの機械的接合及び電気的接合を共に確実に行なうことが可能となり、半導体装置10Nの信頼性を向上させることができる。

30 【0155】更に、接着剤98は固化した状態においても所定の可撓性を有し、かつ半導体装置本体70とインタポーラ72Aの間に介装されるため、この接着剤98は緩衝膜として機能する。よって、接着剤98により、半導体装置本体70とインタポーラ72Aとの間に発生する応力を緩和することができる。尚、本実施例に係る半導体装置10Nは突起電極80の配設ピッチと外部接続端子76の配設ピッチとが等しく設定された構成であるため、半導体装置10Nの小型化を図ることができる。

40 【0156】図38乃至図40は、半導体装置10Nの製造方法（第7実施例に係る製造方法）を示している。尚、図38乃至図40において、第5実施例に係る製造方法を説明するのに用いた図33及び図34に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Nを多数個取りする方法について説明するものとする。

【0157】半導体装置10Nを製造するには、予め別工程において半導体装置本体70が複数個形成されたウエハ90、接着剤98、及びインタポーラ72Bが複数

個形成されたTABテープ92を形成しておく。この半導体装置70を形成する際、複数形成されている突起電極80にはそれぞれ導電性ペースト100が塗布されている。また、接着剤98の突起電極80の形成位置と対応する位置には、通孔102が予め穿設されている。更に、TABテープ92を形成する際、その上面（ウェハ90が装着される面）の半導体装置本体70と対向する位置に絶縁部材94を形成する。

【0158】この絶縁部材94は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接続孔96を形成しておく。そして、突起電極80と接続孔96との位置決めを行なった上で、ウェハ90とTABテープ92との間に接着剤98を介装し、ウェハ90をTABテープ92に接着固定する。これにより、接着材98によりウェハ90とTABテープ92は機械的に接合されると共に、導電性ペースト100は通孔102及び接続孔96内に入り込み、突起電極80と配線パターン84Aは電気的に接合される。図39は、ウェハ90とTABテープ92とが接合された状態を示している。

【0159】このように、ウェハ90とTABテープ92の接合処理が終了すると、統いて図39にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体70及びインタボーザ72Bが形成され、図37に示す半導体装置10Nが形成される（図37に示す半導体装置10Nは、絶縁部材94が設けられていない構成を示している）。

【0160】尚、上記した製造方法では、半導体装置10Nを多数個取りする方法について述べたが、図40に示すように、個々に半導体装置10Nを製造することも可能である。統いて、第15実施例である半導体装置10Pについて説明する。図41は、第15実施例に係る半導体装置10Pを示す断面図である。尚、図41において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。

【0161】前記した第14実施例に係る半導体装置10Nでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタボーザ72Aに配設された外部接続端子76の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置10Pは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタボーザ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタボーザ72Bの面積は半導体装置本体70の面積に対し広くなっている。

【0162】このように、突起電極80の配設ピッチに対し外部接続端子76の配設ピッチを大きく設定したこ

とにより、インタボーザ72Bにおける配線パターン84Bの引回しの自由度を更に向上することができる。これにより、外部接続端子76の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極80の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

【0163】図42は、上記した半導体装置10Pの製造方法（第8実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Pを形成する方法を例に挙げて示している。本実施例に係る半導体装置10Pの製造方法でも、予め別工程において半導体装置本体70、接着材98、及びインタボーザ72Bを形成しておく。また、半導体装置70を形成する際、複数形成されている突起電極80にはそれぞれ導電性ペースト100を塗布しておく。また、接着剤98の突起電極80の形成位置と対応する位置には、通孔102を予め穿設しておく。更に、絶縁部材94の突起電極80の形成位置と対応する位置には、接続孔96を形成しておく。

【0164】そして、突起電極80と接続孔96との位置決めを行なった上で、半導体装置本体70とインタボーザ72Bとの間に接着剤98を介装し、半導体装置本体70をインタボーザ72Bに接着固定する。これにより、接着材98により半導体装置本体70とインタボーザ72Bは機械的に接合されると共に、導電性ペースト100は通孔102及び接続孔96内に入り込み、突起電極80と配線パターン84Aは電気的に接合される。以上の処理を実施することにより、図41に示す半導体装置10Pが形成される。

【0165】統いて、第16実施例である半導体装置10Qについて説明する。図43は、第16実施例である半導体装置10Qを示す断面図である。尚、図43において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第14実施例に係る半導体装置10Nは、導電性部材として導電性ペースト100を用い、この導電性ペースト100により半導体装置本体70とインタボーザ72Aとを電気的に接合（接続）する構成とされていた。これに対し、本実施例に係る半導体装置10Qは、導電性ペースト100に代えてスタッダードバンプ104（導電性部材）を設けたことを特徴とするものである。

【0166】スタッダードバンプ104は、インタボーザ72Aに形成された配線パターン84A上の所定位置（突起電極80と対応する位置）に配設されている。また、このスタッダードバンプ104はワイヤボンディング技術を用いて形成される。具体的には、ワイヤボンディング装置を用い、先ずキャビラリから延出した金線の先端部に金ボールを形成し、統いてこの金ボールを配線パターン84Aの上記所定位置に押圧する。

【0167】 続いて、キャビラリを超音波振動させて金ボールを配線パターン84Aに超音波溶接する。その後、金線をクランプした上でキャビラリを上動させて金線を切断する。以上の処理を行なうことにより、配線パターン84A上にスタッドバンプ104が形成される。このスタッドバンプ104は、通孔102を介して突起電極80に接続し、これにより半導体装置本体70とインタポーラ72Aとを電気的に接続する機能を奏する。

【0168】 上記のように、本実施例に係る半導体装置10Qでは、接着剤98が半導体装置本体70とインタポーラ72Aとを機械的に接合し、またスタッドバンプ104が半導体装置本体70とインタポーラ72Aとを電気的に接合（接続）する。このように、機械的接合と電気的接合を別個の部材（接着剤98、スタッドバンプ104）により行なうことにより、半導体装置本体70とインタポーラ72Aとの機械的接合及び電気的接合と共に確実に行なうことが可能となり、半導体装置10Qの信頼性を向上させることができる。

【0169】 また、接続状態において、スタッドバンプ104は突起電極80に食い込んだ状態で接続されるため、スタッドバンプ104と突起電極80との電気的接続を確実に行なうことができる。尚、本実施例に係る半導体装置10Qは突起電極80の配設ピッチと外部接続端子76の配設ピッチとが等しく設定された構成であるため、半導体装置10Qの小型化を図ることができる。

【0170】 図44乃至図46は、半導体装置10Qの製造方法（第9実施例に係る製造方法）を示している。尚、図44乃至図46において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Qを多数個取りする方法について説明するものとする。

【0171】 半導体装置10Qを製造するには、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接着剤98、及びインタポーラ72Bが複数個形成されたTABテープ92を形成しておく。このTABテープ92を形成する際、その上面（ウェハ90が装着される面）の半導体装置本体70と対向する位置に絶縁部材94を形成する。また、絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接続孔96を形成し、更に接続孔96の内部の配線パターン84A上にスタッドバンプ104を形成する。

【0172】 そして、突起電極80と接続孔96との位置決めを行なった上で、ウェハ90とTABテープ92との間に接着剤98を介装し、ウェハ90をTABテープ92に押圧しつつ接着固定する。これにより、接着材98によりウェハ90とTABテープ92は機械的に接合されると共に、スタッドバンプ104は通孔102及び接続孔96を介して突起電極80に食い込んだ状態と

なり、よって突起電極80と配線パターン84Aはスタッドバンプ104より電気的に接合される。図45は、ウェハ90とTABテープ92とが接合された状態を示している。

【0173】 このように、ウェハ90とTABテープ92の接合処理が終了すると、続いて図45にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体70及びインタポーラ72Bが形成され、図43に示す半導体装置10Qが形成される（図43に示す半導体装置10Nは、絶縁部材94が設けられていない構成を示している）。

【0174】 尚、上記した製造方法では、半導体装置10Qを多数個取りする方法について述べたが、図46に示すように、個々に半導体装置10Qを製造することも可能である。続いて、第17実施例である半導体装置10Rについて説明する。図47は、第17実施例に係る半導体装置10Rを示す断面図である。尚、図47において、図43を用いて説明した第16実施例に係る半導体装置10Qの構成と対応する構成については、同一符号を付してその説明を省略する。

【0175】 前記した第16実施例に係る半導体装置10Qでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーラ72Aに配設された外部接続端子76の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置10Rは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポーラ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーラ72Bの面積は半導体装置本体70の面積に対し広くなっている。

【0176】 このように、突起電極80の配設ピッチに対し外部接続端子76の配設ピッチを大きく設定したことにより、インタポーラ72B上における配線パターン84Bの引回しの自由度を更に向上することができる。これにより、外部接続端子76の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極80の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

【0177】 図48は、上記した半導体装置10Qの製造方法（第10実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Qを形成する方法を例に挙げて示している。本実施例に係る半導体装置10Qの製造方法でも、予め別工程において半導体装置本体70、接着材98、及びインタポーラ72Bを形成しておく。この際、接着剤98の突起電極80の形成位置と対応する位置には、通孔102を予め穿設しておく。また、インタポーラ72Bに絶縁部材94を形成すると共に、絶縁部材94の突起電極80の形成位置と対応する位置に接

続孔96を形成しておく。更に、接続孔96内に露出した配線パターン84Aには、前記したワイヤボンディング技術を用いてスタッドバンプ104を形成しておく。

【0178】そして、突起電極80と接続孔96との位置決めを行なった上で、半導体装置本体70とインタポーザ72Bとの間に接着剤98を介装し、半導体装置本体70をインタポーザ72Bに押圧しつつ接着固定する。これにより、接着材98により半導体装置本体70とインタポーザ72Bは機械的に接合されると共に、スタッドバンプ104は通孔102及び接続孔96を介して突起電極80に食い込んだ状態となる。以上の処理を行なうことにより、突起電極80と配線パターン84Aはスタッドバンプ104より電気的に接合され、よって図47に示す半導体装置10Rが形成される。

【0179】統いて、第18実施例である半導体装置10Sについて説明する。図49は、第18実施例である半導体装置10Sを示す断面図である。尚、図49において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第14乃至17実施例に係る半導体装置10N~10Rは、導電性部材として導電性ペースト100或いはスタッドバンプ104を用い、この導電性ペースト100或いはスタッドバンプ104により半導体装置本体70とインタポーザ72Aとを電気的に接合（接続）する構成とされていた。これに対し、本実施例に係る半導体装置10Sは、上記の導電性ペースト100或いはスタッドバンプ104に代えてフライングリード106（導電性部材）を設けたことを特徴とするものである。

【0180】フライングリード106は、インタポーザ72Cに形成された配線パターン84Cと一体的に形成されており、インタポーザ72Cの外周縁部より斜め上方向（半導体装置本体70に向かう方向）に延出した構成とされている。また、このフライングリード106の形成位置は、突起電極80の形成位置と対応するよう設定されている。

【0181】フライングリード106を形成するには、予め形成されたインタポーザ72Cのフライングリード106の形成部分に対応するベース部材86Cをドライエッティング等により除去し、これにより単体となって配線パターン37Cを上記した斜め上方向にむけ折曲形成する。これにより、インタポーザ72Cの外周縁部位置にフライングリード106が形成される。

【0182】このフライングリード106は、接着剤98の配設位置を迂回して突起電極80に接続し、これにより半導体装置本体70とインタポーザ72Aとを電気的に接続する機能を奏する。また、突起電極80とフライングリード106との接続位置は、カバー樹脂108により樹脂封止されている。これにより、外力印加等によりフライングリード106が変形することを防止で

き、半導体装置10Sの信頼性を向上させることができる。

【0183】上記のように、本実施例に係る半導体装置10Sでは、接着剤98が半導体装置本体70とインタポーザ72Cとを機械的に接合し、またスタッドバンプ104が半導体装置本体70とインタポーザ72Cとを電気的に接合（接続）する。このように、機械的接合と電気的接合を別個の部材（接着剤98、フライングリード106）により行なうことにより、半導体装置本体70とインタポーザ72Aとの機械的接合及び電気的接合を共に確実に行なうことが可能となり、半導体装置10Qの信頼性を向上させることができる。

【0184】また、フライングリード106と突起電極80との接続位置においては絶縁性を有する接着剤98が介在しないため、フライングリード106と突起電極80との電気的接続の信頼性を向上させることができる。更に、フライングリード106はバネ性を有しているため、接続時にフライングリード106はバネ力をもって突起電極80に圧接する。よって、これによってもフライングリード106と突起電極80との電気的接続の信頼性を向上させることができる。

【0185】図50乃至図54は、半導体装置10Sの製造方法（第11実施例に係る製造方法）を示している。尚、図50乃至図54において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Sを多数個取りする方法について説明するものとする。

【0186】半導体装置10Sを製造するには、図50に示すように、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接着剤98、及びインタポーザ72Cを形成しておく。また、このインタポーザ72Cを形成する際、上記した形成方法によりフライングリード106を形成しておく。そして、突起電極80とフライングリード106との位置決めを行なった上で、ウェハ90と各インタポーザ72Cとの間に接着剤98を介装し、各インタポーザ72Cをウェハ90に押圧しつつ接着固定する。これにより、図51に示すように、接着材98によりウェハ90とインタポーザ72Cは機械的に接合される。また、フライングリード106は突起電極80に押圧されることにより発生するバネ力により突起電極80に圧接し、よって突起電極80とフライングリード106は確実に電気的接合が行なわれる。

【0187】上記のように、接着材98によりウェハ90とインタポーザ72Cとが機械的に接合され、かつ突起電極80とフライングリード106とが電気的に接続されると、統いて少なくとも突起電極80とフライングリード106との接続位置を含むウェハ90とインタポ

ーザ 72C 間にカバー樹脂 108 が形成される。このカバー樹脂 108 は、ポッティングにより形成しても、もたモールド成形により形成する構成としてもよい。図 5 1 は、カバー樹脂 108 が形成された状態を示している。

【0188】このように、カバー樹脂 108 の形成処理が終了すると、統いて図 5 2 に A-A で示す破線位置で切断処理が行なわれ、これにより図 4 9 に示す半導体装置 10S が形成される。尚、上記した製造方法では、半導体装置 10Q を多数個取りする方法について述べたが、図 5 3 及び図 5 4 に示すように、半導体装置 10S を個々に製造することも可能である。

【0189】統いて、第 19 実施例である半導体装置 10T について説明する。図 5 5 (A) は、第 19 実施例である半導体装置 10T を示す断面図である。尚、図 5 5 において、図 3 7 を用いて説明した第 14 実施例に係る半導体装置 10N の構成と対応する構成については、同一符号を付してその説明を省略する。前記した第 14 乃至 18 実施例に係る半導体装置 10N~10S は、導電性部材として導電性ペースト 100, スタッドバンプ 104, 或いはフライングリード 106 を用い、この導電性ペースト 100, スタッドバンプ 104, フライングリード 106 により半導体装置本体 70 とインタボーザ 72A, 72B とを電気的に接合（接続）する構成とされていた。

【0190】これに対し、本実施例に係る半導体装置 10U は、上記の導電性ペースト 100 或いはスタッドバンプ 104 に代えて、インタボーザ 72D に導電性部材として、接続ピン 110 と位置決め部材 112 を組み込んだ構成としたことを特徴とするものである。本実施例に係るインタボーザ 72D は、大略すると接続ピン 110, 位置決め部材 112, 接着剤 114, 及びベース部材 116 等により構成されている。接続ピン 110 は、突起電極 80 の形成位置に対応した位置に配設され、組み立てられた状態において、その上端部を突起電極 80 に接合すると共に、下端部を外部接続端子 76 に接合される。また、位置決め部材 112 は、この接続ピン 110 を突起電極 80 の形成位置に位置決めする機能を有するものであり、シリコンゴム等の可撓性材料により形成されている。

【0191】上記のように、接続ピン 110 を保持した位置決め部材 112 は、接着剤 114 によりベース部材 116 に接着固定される。この際、ベース部材 116 の突起電極 80 の形成位置と対向する位置には孔 88 が形成されており、接続ピン 110 はこの孔 88 を介して外部接続端子 76 と接続される。図 5 5 (B) は、接続ピン 110 と外部接続端子 76 との接続位置を拡大して示している。同図に示されるように、接続ピン 110 は外部接続端子 76 内に食い込んだ状態で接続されており、よって確実に電気的に接続されている。

【0192】上記構成とされた半導体装置 10T では、接続ピン 110 の上端部を突起電極 80 に接合すると共に下端部を外部接続端子 76 に接合しているため、突起電極 80 と外部接続端子 76 との間に接続ピン 110 が介在した構成となる。この接続ピン 110 は可撓可能な構成であるため、例えば加熱時等に半導体装置本体 70 とインタボーザ 72D との間に熱膨張率差に起因して応力が発生しても、この応力は接続ピン 110 が可撓することにより吸収される。よって、応力が印加されても外

10 部接続端子 76 と突起電極 80 との接続を確実に維持することができる。

【0193】また、接続ピン 110 は位置決め部材により突起電極 80 の形成位置に対応した位置に位置決めされている。このため、実装時において個々の接続ピン 110 と突起電極 80 または外部接続端子 76 との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。更に、位置決め部材 112 は可撓性部材により形成されているため、前記のように接続ピン 110 が可撓しても、位置決め部材 112 はこれに追随して可撓するため、半導体装置本体 70 とインタボーザ 72D との間に発生する応力を位置決め部材 112 によっても吸収することができる。

【0194】図 5 6 乃至図 5 8 は、半導体装置 10T の製造方法（第 12 実施例に係る製造方法）を示している。尚、図 5 6 乃至図 5 8 において、第 7 実施例に係る製造方法を説明するのに用いた図 3 8 乃至図 4 0 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 10T を多数個取りする方法について説明するものとする。

【0195】半導体装置 10S を製造するには、図 5 6 に示すように、予め別工程において半導体装置本体 70 が複数個形成されたウェハ 90, 接続ピン 110 を保持した位置決め部材 112, 接着剤 114, 及びベース部材 116 を形成しておく。接着剤 114 及びベース部材 116 の突起電極 80 の形成位置と対応する位置には、孔 88 及び通孔 102 を形成しておく。

【0196】そして、突起電極 80 と位置決めピン 110 との位置決めを行なった上で、ウェハ 90 をインタボーザ 72D (接続ピン 110, 位置決め部材 112, 接着剤 114, ベース部材 116) に加熱しつつ押圧する。これにより、図 5 7 に示すように、接続ピン 110 の上端部は突起電極 80 内に嵌入し、かつ下端部は外部接続端子 76 に嵌入する。よって突起電極 80 と外部接続端子 76 は接続ピン 110 を介して電気的に接続される。

【0197】このように、突起電極 80 と外部接続端子 76 との接続処理が終了すると、統いて図 5 7 に A-A で示す破線位置で切断処理が行なわれ、これにより図 5 5 (A) に示す半導体装置 10T が形成される。尚、上

記した製造方法では、半導体装置 10T を多数個取りする方法について述べたが、図 58 に示すように、半導体装置 10T を個々に製造することも可能である。

【0198】統いて、第 20 実施例である半導体装置 10U について説明する。図 59 は、第 20 実施例に係る半導体装置 10U を示す断面図である。尚、図 59 において、図 55 を用いて説明した第 19 実施例に係る半導体装置 10T の構成と対応する構成については、同一符号を付してその説明を省略する。前記した第 19 実施例に係る半導体装置 10T では、小型化を図るために半導体装置本体 70 に形成された突起電極 80 の配設ピッチと、インタポーバ 72D に配設された接続ピン 110 の配設ピッチとを同一ピッチとするよう構成していた。

【0199】これに対し、本実施例に係る半導体装置 10U は、半導体装置本体 70 に形成された突起電極 80 の配設ピッチに対し、インタポーバ 72B に配設された外部接続端子 76 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーバ 72B の面積は半導体装置本体 70 の面積に対し広くなっている。

【0200】このように、突起電極 80 の配設ピッチに対し外部接続端子 76 の配設ピッチを大きく設定したことにより、インタポーバ 72B 上における配線パターン 84B の引回しの自由度を更に向上することができる。これにより、外部接続端子 76 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極 80 (接続ピン 110) の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

【0201】図 60 は、上記した半導体装置 10T の製造方法 (第 13 実施例に係る製造方法) を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置 10T を形成する方法を例に挙げて示している。本実施例に係る半導体装置 10T の製造方法では、予め別工程において半導体装置本体 70、接続ピン 110 を保持した位置決め部材 112、接着剤 114、及びインタポーバ 72B を形成しておく。この際、接着剤 114 の突起電極 80 の形成位置と対応する位置には、通孔 102 を予め穿設しておく。

【0202】そして、突起電極 80 と位置決めピン 112、及び位置決めピン 112 と接続孔 96 との位置決めを行なった上で、半導体装置本体 70 をインタポーバ 72B に加熱しつつ押圧する。これにより、接続ピン 110 の上端部は突起電極 80 内に嵌入し、かつ下端部は外部接続端子 76 に嵌入し、よって突起電極 80 と外部接続端子 76 は接続ピン 110 を介して電気的に接続される。以上の処理を行なうことにより、図 59 に示す半導体装置 10U が形成される。

【0203】

【発明の効果】上述の如く本発明によれば、次に述べる種々の効果を実現することができる。請求項 1 記載の發

明によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を奏するため、半導体素子の保護をより確実に行なうことができ、よって半導体装置の信頼性を向上することができる。

【0204】また、外部接続端子は半導体素子と電気的に接続された電極板の一部として形成されているため、この電極板の半導体素子との接続位置と外部接続端子の形成位置との間の部分において、配線の引回しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。

【0205】また、電極板は導電性金属よりなり、封止樹脂よりも熱伝導性が良好であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効率よく放熱することができる。更に、電極板の外部接続端子は封止樹脂の側面に露出出した構成とされているため、半導体装置を実装基板に実装した後においてもこの外部接続端子を用いて半導体素子の動作試験を行なうことが可能となる。

【0206】また、請求項 2 及び請求項 11 記載の発明によれば、小スペース内において確実に半導体素子と電極板とを接合することができ、半導体装置の小型化を図ることができる。また、接合部における配線長が短いためインピーダンスを低減できると共に多ピン化にも対応することができる。また、請求項 3 記載の発明によれば、側面ばかりでなく底面においても実装を行なうことが可能となるため、実装構造の自由度を向上させることができる。

【0207】また、請求項 4 記載の発明によれば、実装時に確実に外部接続端子を実装基板に接続することができると共に、隣接する外部接続端子間で短絡が発生することを防止することができる。また、請求項 5 記載の発明によれば、突出端子を電極板に一体的に形成したことにより、突出端子を別部材により形成する構成に比べて部品点数の削減を図ることができると共に容易に形成することができる。

【0208】また、請求項 6 記載の発明によれば、半導体装置を BGA (Ball Grid Array) と同様に取り扱うことができ、実装性を向上させることができる。また、請求項 7 及び請求項 8 記載の発明によれば、半導体素子で発生する熱を効率よく放熱することができる。また、請求項 9 記載の発明によれば、パターン成形処理において任意の配線パターンを選定できるため、電極板により配線の引回しを行なうことが可能となり、これにより電極板に形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

【0209】また、封止樹脂形成工程で封止樹脂を形成することにより半導体素子及び電極板は封止樹脂に封止され保護されるため、半導体装置の信頼性を向上させる

ことができる。更に、切断工程において個々の半導体装置の境界位置で封止樹脂及び電極板は切断され、よって電極板は切断位置において露出するため、この露出部分を外部接続端子として用いることができる。

【0210】また、請求項10記載の発明によれば、電極板を形成するのにリードフレーム形成法を利用することが可能となり、よって設備の増加を伴うことなく電極板形成工程を実施することができる。また、請求項12記載の発明によれば、チップ搭載工程において個々の半導体素子の位置決めを行なう必要がなくなり、形状の大きな放熱部材と電極板とを位置決めすればよいため、位置決め処理を容易化することができる。

【0211】また、請求項13記載の発明によれば、突起端子部の形成を電極板の形成と同時かつ一括的に行なうことができるため、半導体装置の製造工程の簡単化を図ることができる。また、実装時に確実に外部接続端子を実装基板に接続することができると共に隣接する外部接続端子間で短絡が発生することを防止することができる。

【0212】また、請求項14記載の発明によれば、ソケットを用いて半導体装置を実装基板に接合するため半導体装置の装着脱を容易に行なうことができる。また、半導体装置の装着状態においてリード部と外部接続端子とは対向するため、リード部を引き回すことなくリード部と外部接続端子との接続を行なうことができ、よってソケットの構造の簡単化を図ることができる。

【0213】また、請求項15記載の発明によれば、半導体装置をBGAと同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。また、請求項16記載の発明によれば、加熱時等に半導体装置側と実装基板側で熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収されるため、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【0214】また、接続ピンは位置決め部材により外部接続端子の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと外部接続端子または実装基板との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。また、請求項17及び請求項22記載の発明によれば、インタポーラのベース部材上において任意の配線パターンを形成することができるため、配線パターンを引き回すことにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができ、よって外部接続端子の端子レイアウトの自由度を高めることができる。

【0215】また、半導体装置本体とインタポーラとを接合する異方性導電膜は、接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図るこ

とができる。更に、異方性導電膜は緩衝膜として機能するため、この異方性導電膜により半導体装置本体とインタポーラとの間に発生する応力を緩和することができる。

【0216】また、請求項18記載の発明によれば、突起電極の配設ピッチと外部接続端子の配設ピッチを同一ピッチとしたことにより、インタポーラの形状を小さくすることができ、半導体装置の小型化を図ることができる。また、請求項19記載の発明によれば、突起電極の

10 配設ピッチに対し外部接続端子の配設ピッチを大きく設定したことにより、インタポーラ上における配線パターンの引回しの自由度を更に向上することができる。

【0217】また、請求項20記載の発明によれば、半導体装置本体をインタポーラに装着される際に印加される押圧力は孔の形成位置に集中して孔内における導電率を向上できるため、半導体装置本体とインタポーラとの電気的接続を確実に行なうことができる。また、請求項21記載の発明によれば、インタポーラとしてTABテープを利用するこにより半導体装置のコスト低減を図ることができる。

【0218】また、請求項23及び請求項30記載の発明によれば、インタポーラに形成された配線パターンを任意に設定できるため、配線パターンを引き回すことにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができ、よって外部接続端子の端子レイアウトの自由度を高めることができる。また、半導体装置本体とインタポーラとを接合する際行なわれる機械的接合と電気的接合を別個の部材（接着剤、導電性部材）により行なうことにより、各機能（機械的接合機能、電気的接合機能）に最適な部材を選定することができ、よって半導体装置本体とインタポーラとの機械的接合及び電気的接合と共に確実に行なうことができる。

【0219】更に、接着剤は固化した状態においても所定の可撓性を有するため、接着剤を緩衝膜として機能させることができ、よって半導体装置本体とインタポーラとの間に発生する応力を緩和することができる。また、請求項24記載の発明によれば、単に導電性ペーストを半導体素子の突起電極またはインタポーラの配線パターンに塗布するだけで導電性部材の配設を行なうことができるため、半導体装置の組み立て作業の容易化を図ることができる。

【0220】また、請求項25記載の発明によれば、半導体素子の突起電極とインタポーラの配線パターンとはスタッドバンプを介して接合されることとなり、電気的接続を確実に行なうことができる。また、請求項26記載の発明によれば、フライングリードと突起電極との接続位置においては接着剤が介在しないため、フライングリードと突起電極との電気的接続の信頼性を向上させることができる。また、接続時にフライングリードはバネ力をもって突起電極に圧接するため、これによってもフ

ライングリードと突起電極との電気的接続の信頼性向上させることができる。

【0221】また、請求項27記載の発明によれば、突起電極とフライングリードとの接続位置を樹脂封止したことにより、外力印加等によりフライングリードが変形することを防止でき、半導体装置の信頼性を向上させることができる。また、請求項28記載の発明によれば、加熱時等に半導体装置本体とインタポーザとの間に熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収されるため、外部接続端子と突起電極との接続を確実に維持することができる。

【0222】また、接続ピンは位置決め部材により突起電極の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと突起電極または外部接続端子との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。更に、請求項29記載の発明によれば、接続ピンが可撓しても位置決め部材はこれに追随して可撓するため、半導体装置本体とインタポーザとの間に発生する応力を位置決め部材によっても吸収することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である半導体装置を説明するための図である。

【図2】本発明の第1実施例である半導体装置の製造方法を説明するための図である(その1)。

【図3】本発明の第1実施例である半導体装置の製造方法を説明するための図である(その2)。

【図4】本発明の第1実施例である半導体装置の製造方法を説明するための図である(その3)。

【図5】本発明の第1実施例である半導体装置の製造方法を説明するための図である(その4)。

【図6】本発明の第2実施例である半導体装置を説明するための図である。

【図7】本発明の第3実施例である半導体装置を説明するための図である。

【図8】本発明の第4実施例である半導体装置を説明するための図である。

【図9】本発明の第2実施例である半導体装置の製造方法を説明するための図である(その1)。

【図10】本発明の第2実施例である半導体装置の製造方法を説明するための図である(その2)。

【図11】本発明の第1実施例である半導体装置の実装構造を説明するための図である。

【図12】本発明の第2実施例である半導体装置の実装構造を説明するための図である。

【図13】本発明の第3実施例である半導体装置の実装構造を説明するための図である。

【図14】本発明の第4実施例である半導体装置の実装構造を説明するための図である。

【図15】本発明の第5実施例である半導体装置の実装

構造を説明するための図である。

【図16】本発明の第6実施例である半導体装置の実装構造を説明するための図である。

【図17】本発明の第7実施例である半導体装置の実装構造を説明するための図である。

【図18】本発明の第4実施例である半導体装置を説明するための図である。

【図19】本発明の第3実施例である半導体装置の製造方法を説明するための図である(その1)。

10 【図20】本発明の第3実施例である半導体装置の製造方法を説明するための図である(その2)。

【図21】本発明の第3実施例である半導体装置の製造方法を説明するための図である(その3)。

【図22】本発明の第3実施例である半導体装置の製造方法を説明するための図である(その4)。

【図23】本発明の第3実施例である半導体装置の製造方法を説明するための図である(その5)。

【図24】本発明の第3実施例である半導体装置の製造方法を説明するための図である(その6)。

20 【図25】本発明の第6実施例である半導体装置を説明するための図である。

【図26】本発明の第7実施例である半導体装置を説明するための図である。

【図27】本発明の第8実施例である半導体装置を説明するための図である。

【図28】本発明の第9実施例である半導体装置を説明するための図である。

【図29】本発明の第10実施例である半導体装置を説明するための図である。

30 【図30】本発明の第11実施例である半導体装置を説明するための図である。

【図31】本発明の第4実施例である半導体装置の製造方法を説明するための図である。

【図32】本発明の第12実施例である半導体装置を説明するための図である。

【図33】本発明の第5実施例である半導体装置の製造方法を説明するための図である(その1)。

【図34】本発明の第5実施例である半導体装置の製造方法を説明するための図である(その2)。

40 【図35】本発明の第13実施例である半導体装置を説明するための図である。

【図36】本発明の第6実施例である半導体装置の製造方法を説明するための図である。

【図37】本発明の第14実施例である半導体装置を説明するための図である。

【図38】本発明の第7実施例である半導体装置の製造方法を説明するための図である(その1)。

【図39】本発明の第7実施例である半導体装置の製造方法を説明するための図である(その2)。

50 【図40】本発明の第7実施例である半導体装置の製造

方法を説明するための図である（その3）。

【図41】本発明の第15実施例である半導体装置を説明するための図である。

【図42】本発明の第8実施例である半導体装置の製造方法を説明するための図である。

【図43】本発明の第16実施例である半導体装置を説明するための図である。

【図44】本発明の第9実施例である半導体装置の製造方法を説明するための図である（その1）。

【図45】本発明の第9実施例である半導体装置の製造方法を説明するための図である（その2）。

【図46】本発明の第9実施例である半導体装置の製造方法を説明するための図である（その3）。

【図47】本発明の第17実施例である半導体装置を説明するための図である。

【図48】本発明の第10実施例である半導体装置の製造方法を説明するための図である。

【図49】本発明の第18実施例である半導体装置を説明するための図である。

【図50】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その1）。

【図51】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その2）。

【図52】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その3）。

【図53】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その4）。

【図54】本発明の第11実施例である半導体装置の製造方法を説明するための図である（その5）。

【図55】本発明の第19実施例である半導体装置を説明するための図である。

【図56】本発明の第12実施例である半導体装置の製造方法を説明するための図である（その1）。

【図57】本発明の第12実施例である半導体装置の製造方法を説明するための図である（その2）。

【図58】本発明の第12実施例である半導体装置の製造方法を説明するための図である（その3）。

【図59】本発明の第20実施例である半導体装置を説明するための図である。

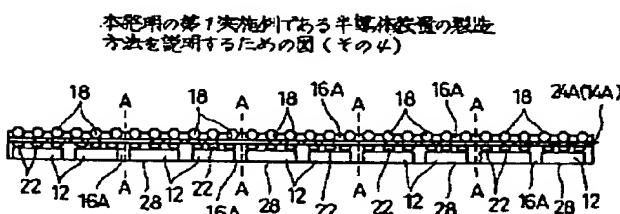
【図60】本発明の第13実施例である半導体装置の製造方法を説明するための図である。

【図61】従来の半導体装置の一例を説明するための図である。

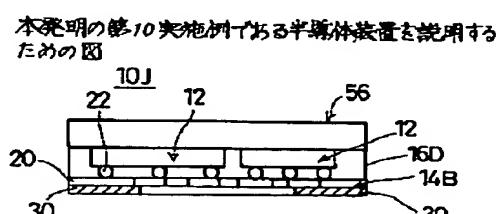
【符号の説明】

10 A～10 U	半導体装置
12, 12 A～12 C, 78	半導体素子
14 A, 14 B	電極板
16 A～16 D	封止樹脂
18	突出端子
20	側部端子
22	バンプ電極
24 A, 24 B	リードフレーム
26	金属板パターン
30	突起状端子
32	実装基板
34	実装用バンプ
38	実装部材
40, 110	接続ピン
42, 112	位置決め部材
44	ソケット
46	装着部
48, 50	リード部
52	ダイステージ
56	放熱板
62	放熱フィン
70	半導体装置本体
72 A～72 D	インタポーラ
74	異方性導電膜
76	外部接続端子
80	突起電極
82	樹脂層
84 A～84 C	配線パターン
86 A～86	ベース部材
90	ウェハー
92	TABテープ
64	絶縁部材
98	接着剤
100	導電性ペースト
104	スタッドバンプ
106	フライングリード
108	カバー樹脂

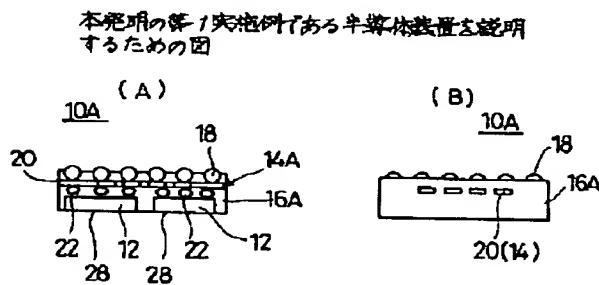
【図5】



【図29】

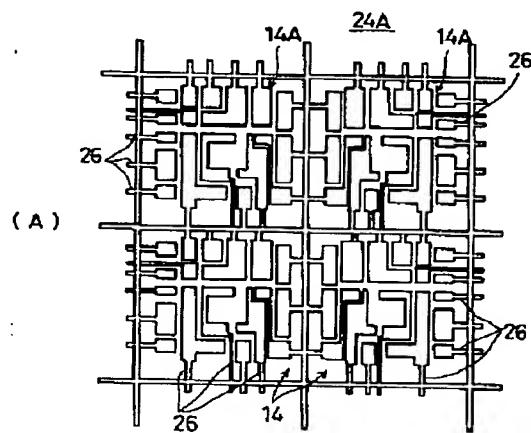


【図 1】

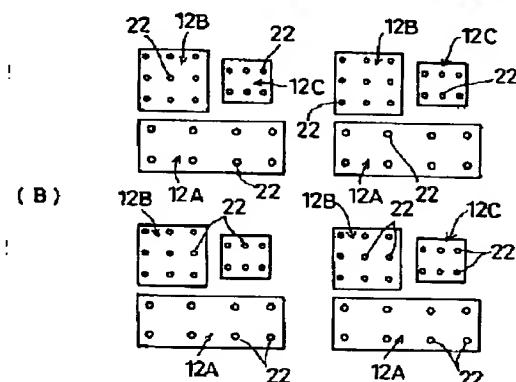
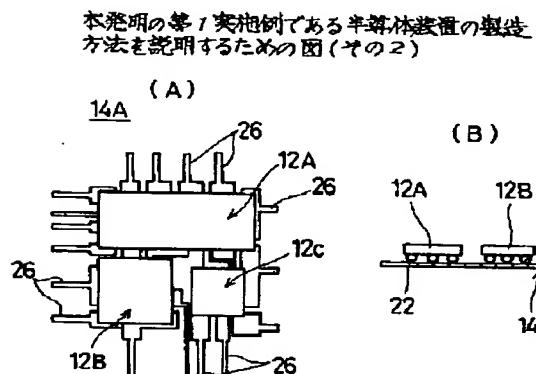


【図 2】

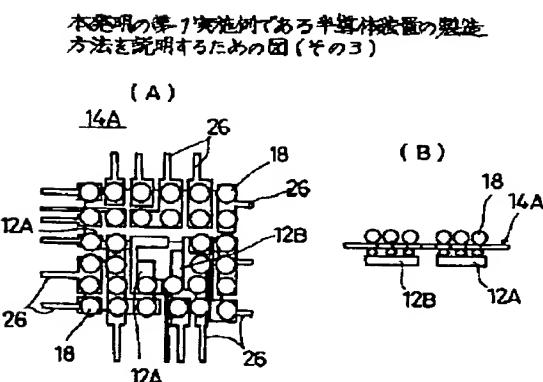
本発明の第1実施例である半導体装置の製造方法を説明するための図(その1)



【図 3】

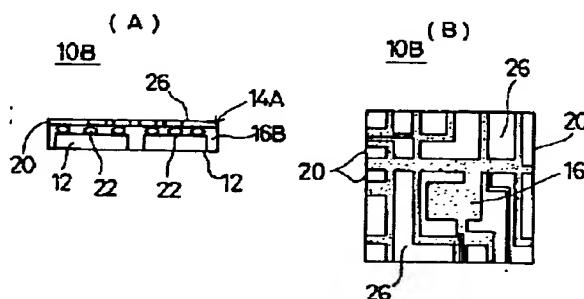


【図 4】



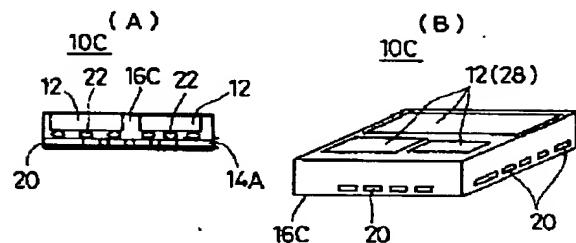
【図 6】

本発明の第2実施例である半導体装置を説明するための図



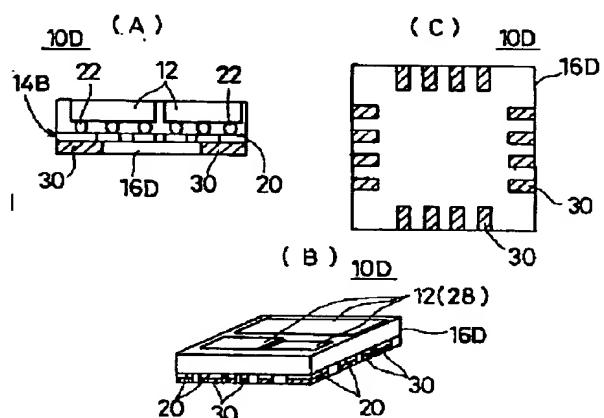
【図 7】

本発明の第3実施例である半導体装置を説明するための図



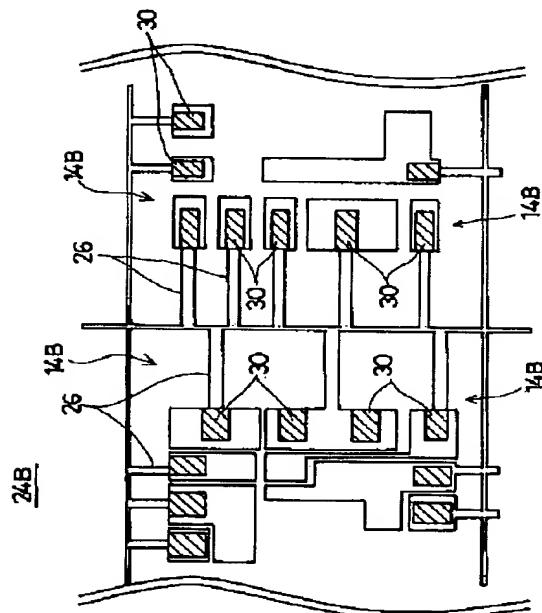
【図 8】

本発明の第4実施例である半導体装置を説明するための図



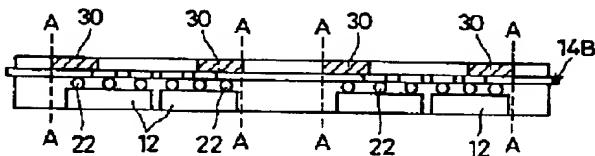
【図 9】

本発明の第2実施例である半導体装置の製造方法を説明するための図 (その1)



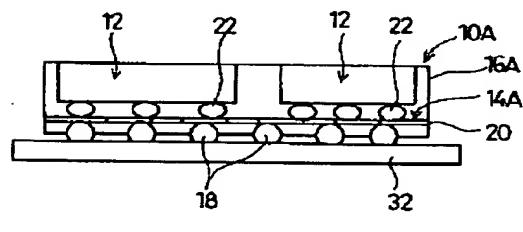
【図 10】

本発明の第2実施例である半導体装置の製造方法を説明するための図 (その2)



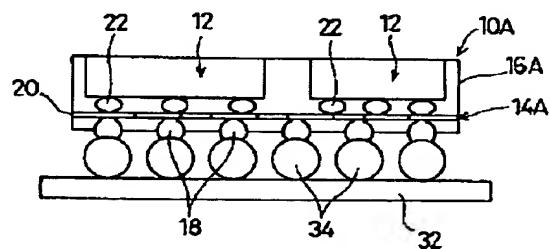
【図 11】

本発明の第1実施例である半導体装置の実装構造を説明するための図



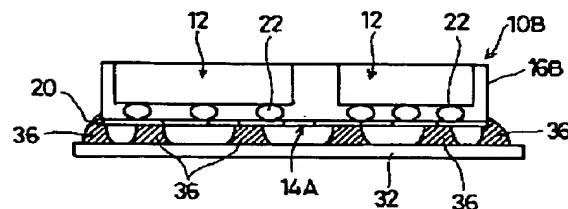
【図 12】

本発明の第2実施例である半導体装置の実装構造を説明するための図



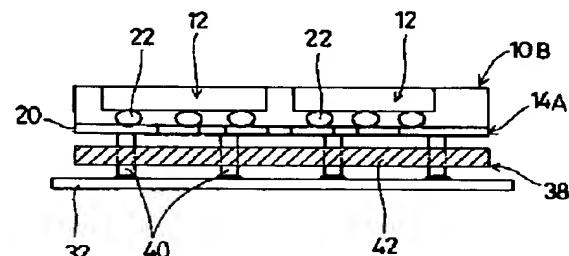
【図 1 3】

本発明の第3実施例である半導体装置の実装構造を説明するための図



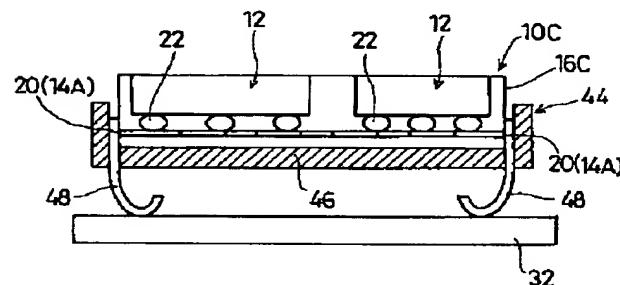
【図 1 4】

本発明の第4実施例である半導体装置の実装構造を説明するための図



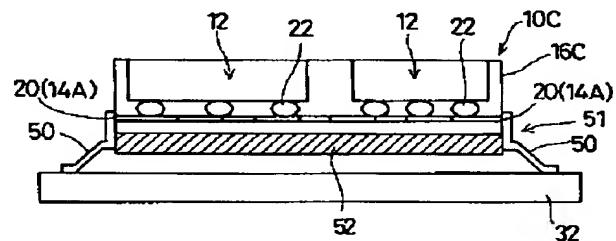
【図 1 5】

本発明の第5実施例である半導体装置の実装構造を説明するための図



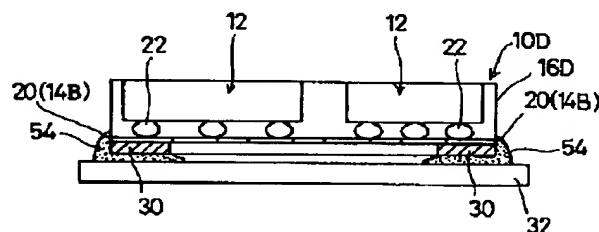
【図 1 6】

本発明の第6実施例である半導体装置の実装構造を説明するための図



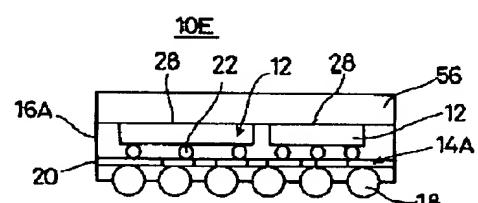
【図 1 7】

本発明の第7実施例である半導体装置の実装構造を説明するための図



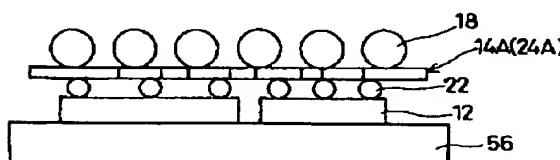
【図 1 8】

本発明の第8実施例である半導体装置を説明するための図



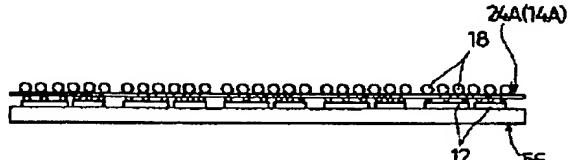
【図 2 2】

本発明の第3実施例である半導体装置の製造方法を説明するための図(その4)



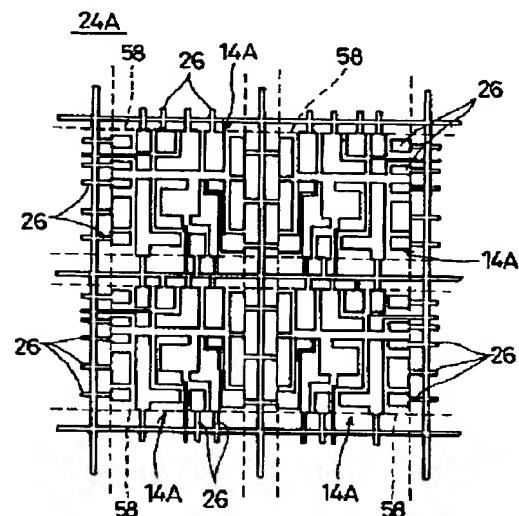
【図 2 3】

本発明の第3実施例である半導体装置の製造方法を説明するための図(その5)



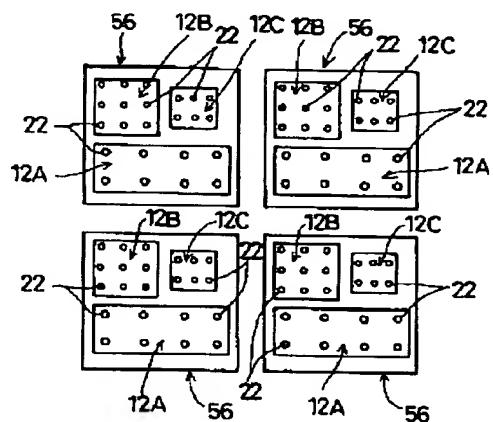
【図 19】

本発明の第3実施例である半導体装置の製造方法を説明するための図(その1)



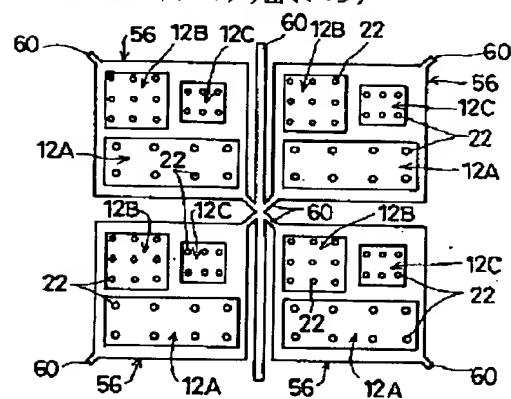
【図 20】

本発明の第3実施例である半導体装置の製造方法を説明するための図(その2)



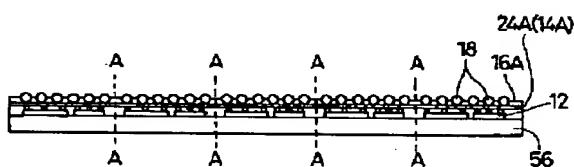
【図 21】

本発明の第3実施例である半導体装置の製造方法を説明するための図(その3)



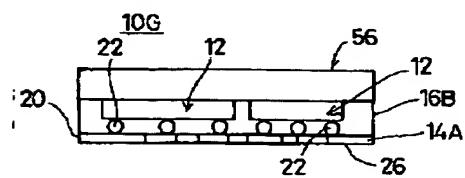
【図 24】

本発明の第3実施例である半導体装置の製造方法を説明するための図(その4)



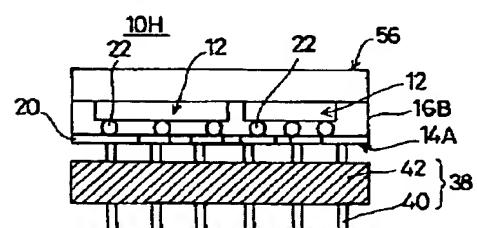
【図 26】

本発明の第7実施例である半導体装置を説明するための図



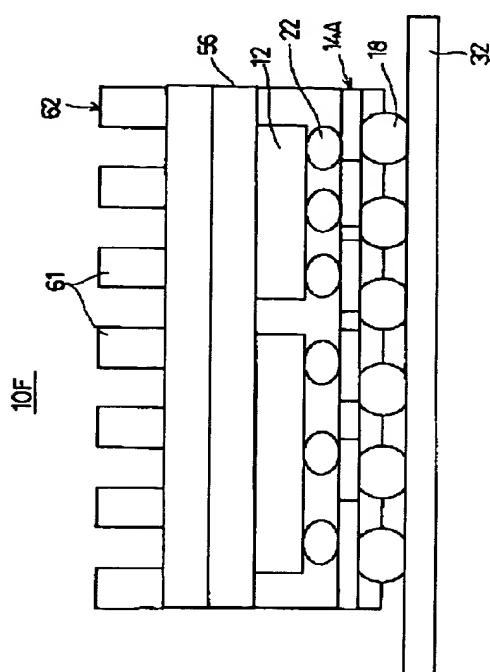
【図 27】

本発明の第8実施例である半導体装置を説明するための図



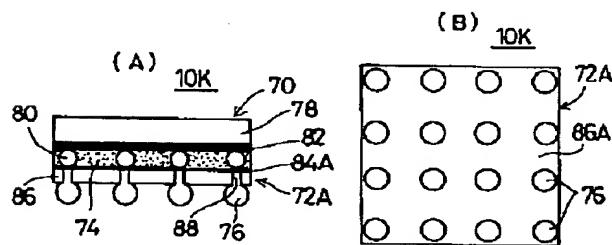
【図25】

本発明の第6実施例である半導体装置を説明するための図



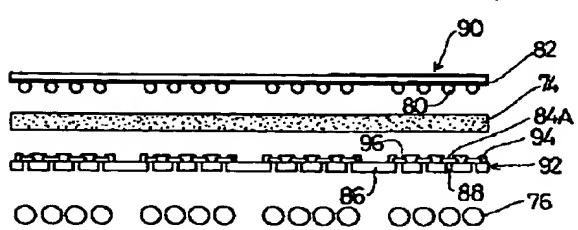
【図30】

本発明の第11実施例である半導体装置を説明するための図



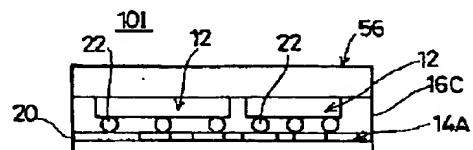
【図33】

本発明の第5実施例である半導体装置の製造方法を説明するための図(その1)



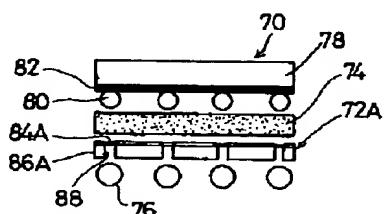
【図28】

本発明の第9実施例である半導体装置を説明するための図



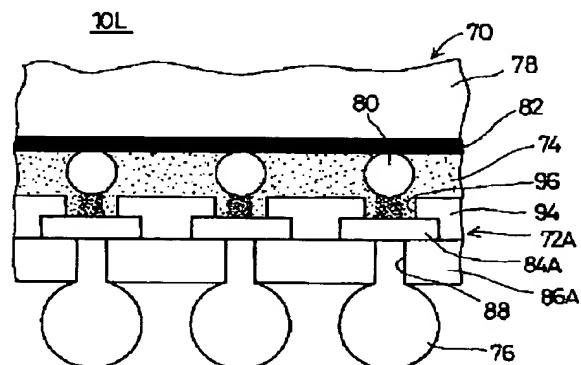
【図31】

本発明の第4実施例である半導体装置の製造方法を説明するための図



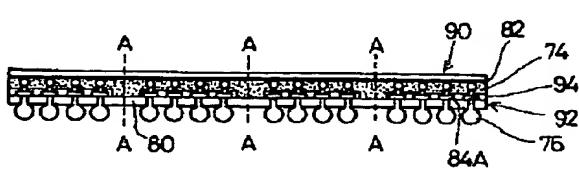
【図32】

本発明の第12実施例である半導体装置を説明するための図



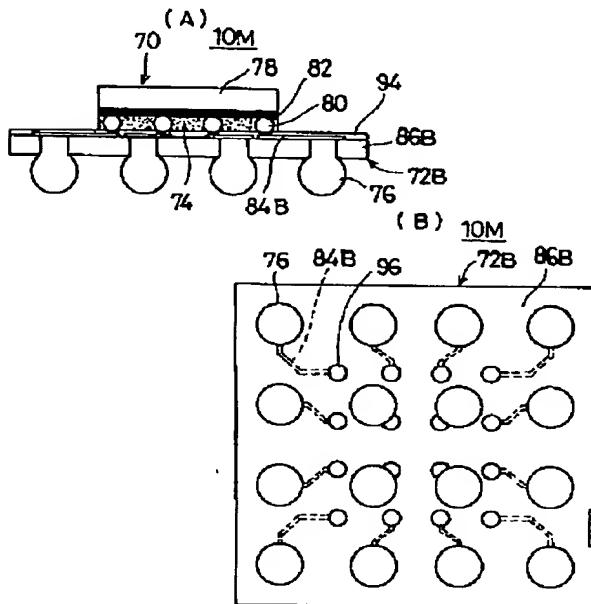
【図34】

本発明の第5実施例である半導体装置の製造方法を説明するための図(その2)



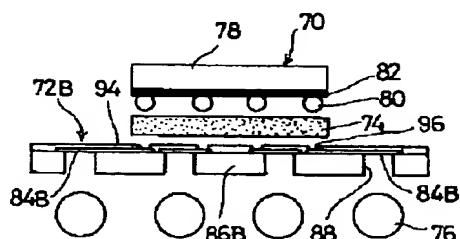
【図 35】

本発明の第13実施例である半導体装置を説明するための図



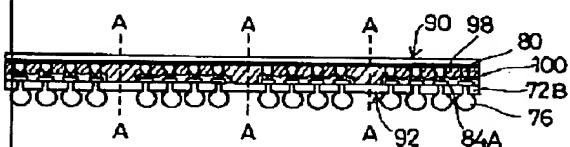
【図 36】

本発明の第6実施例である半導体装置の製造方法を説明するための図



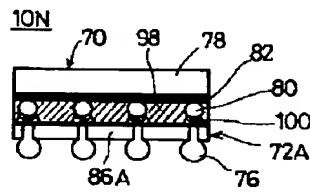
【図 39】

本発明の第7実施例である半導体装置の製造方法を説明するための図 (その2)



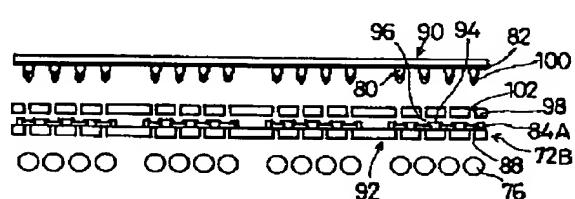
【図 37】

本発明の第14実施例である半導体装置を説明するための図



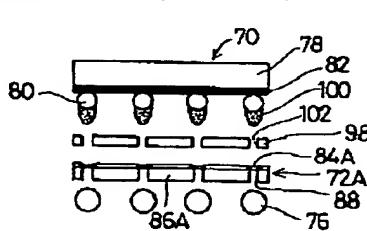
【図 38】

本発明の第7実施例である半導体装置の製造方法を説明するための図 (その1)



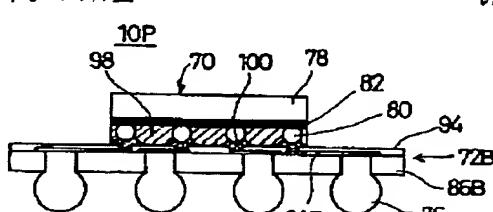
【図 40】

本発明の第7実施例である半導体装置の製造方法を説明するための図 (その3)



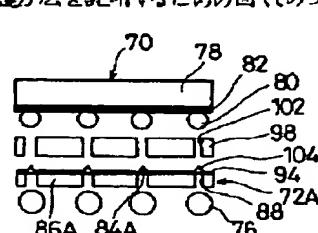
【図 41】

本発明の第75実施例である半導体装置を説明するための図



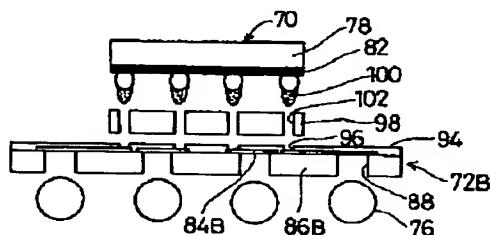
【図 46】

本発明の第9実施例である半導体装置の製造方法を説明するための図 (その3)



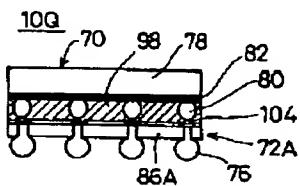
【図 4 2】

本発明の第8実施例である半導体装置の製造方法を説明するための図



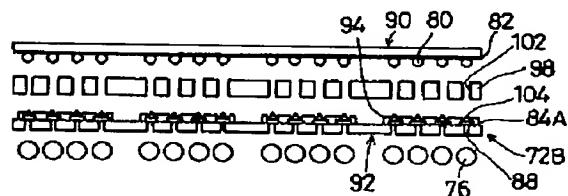
【図 4 3】

本発明の第16実施例である半導体装置を説明するための図



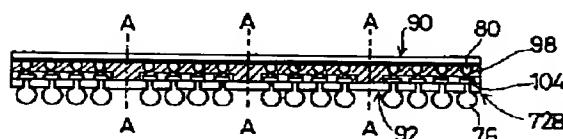
【図 4 4】

本発明の第9実施例である半導体装置の製造方法を説明するための図(その1)



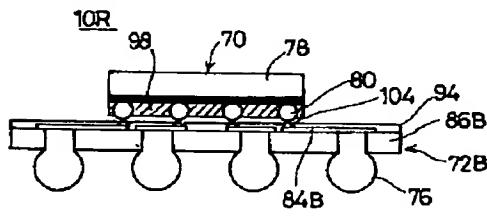
【図 4 5】

本発明の第9実施例である半導体装置の製造方法を説明するための図(その2)



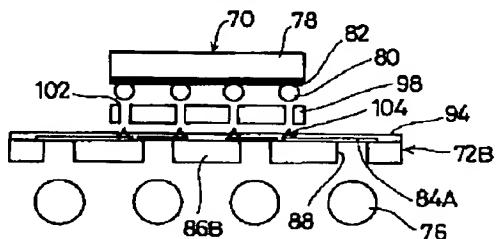
【図 4 7】

本発明の第17実施例である半導体装置を説明するための図



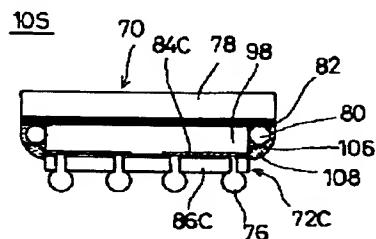
【図 4 8】

本発明の第10実施例である半導体装置の製造方法を説明するための図



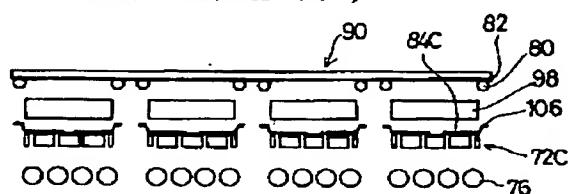
【図 4 9】

本発明の第18実施例である半導体装置を説明するための図



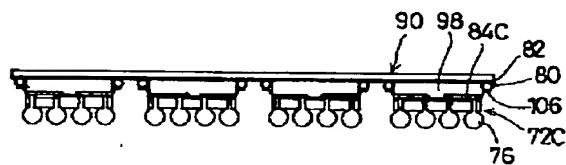
【図 5 0】

本発明の第11実施例である半導体装置の製造方法を説明するための図(その1)



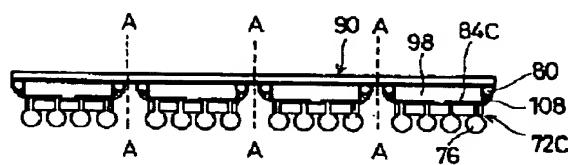
【図51】

本発明の第11実施例である半導体装置の製造方法を説明するための図(その2)



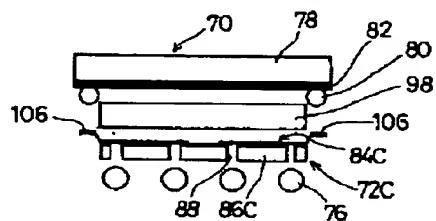
【図52】

本発明の第11実施例である半導体装置の製造方法を説明するための図(その3)



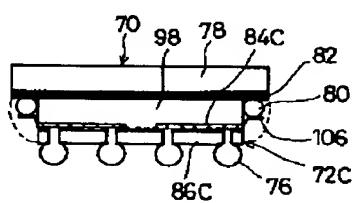
【図53】

本発明の第11実施例である半導体装置の製造方法を説明するための図(その4)



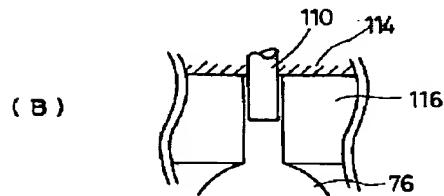
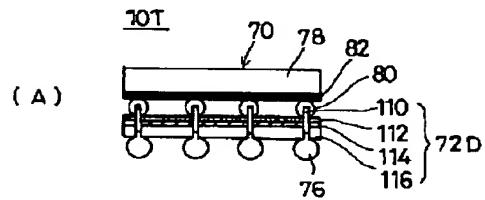
【図54】

本発明の第11実施例である半導体装置の製造方法を説明するための図(その5)



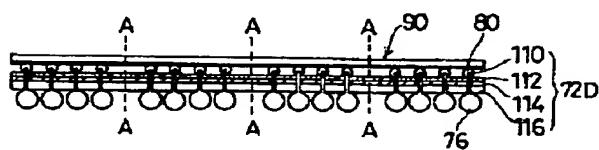
【図55】

本発明の第19実施例である半導体装置を説明するための図



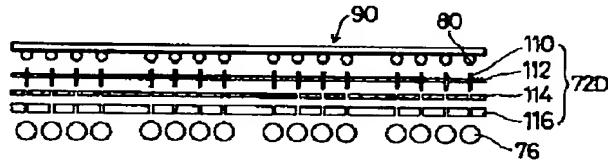
【図57】

本発明の第12実施例である半導体装置の製造方法を説明するための図(その2)



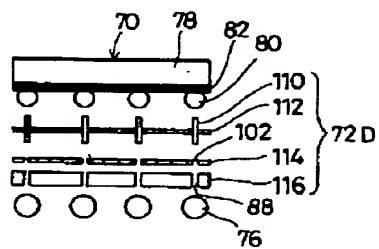
【図56】

本発明の第12実施例である半導体装置の製造方法を説明するための図(その1)



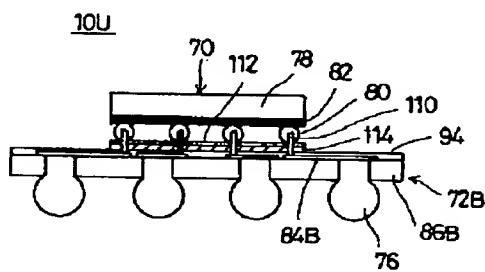
【図58】

本発明の第12実施例である半導体装置の製造方法を説明するための図(その3)



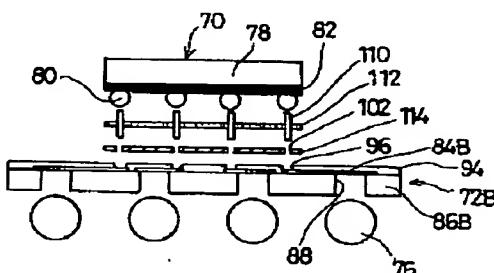
【図 59】

本発明の第20実施例である半導体装置を説明するための図



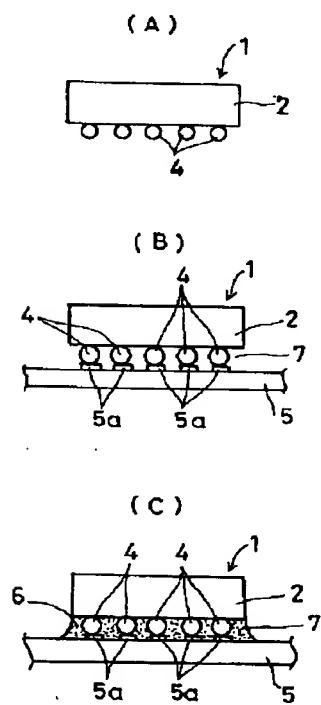
【図 60】

本発明の第13実施例である半導体装置の製造方法を説明するための図



【図 61】

従来の半導体装置の一例を説明するための図



フロントページの続き

(72) 発明者 森岡 宗知

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 新間 康弘

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 小野寺 正徳

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 深澤 則雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 河西 純一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内